Федеральное агентство по образованию Российской Федерации

Московский государственный университет леса

Факультет электроники и системотехники

Кафедра вычислительной техники

Курсовой проект по дисциплине:

«Схемотехника ЭВМ»

На тему:

«Разработка специализированного цифрового функционального узла»

Вариант задания: 0.0.2

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Студент |  |  |  |  | Ясенов А. М. |
|  | (подпись) |  |  |  | (Ф.И.О.) |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Руководитель |  |  |  |  | доц. Королёв А.П. |
|  | (подпись) |  |  |  | (Ф.И.О.) |

2012 г.

**1. Техническое задание**

Разработать распределитель импульсов, формирующий на выходах Z1 и Z2 из каждых N входных импульсов (от ГТИ), в зависимости от задаваемого управляющим сигналом режима, одну из последовательностей импульсов, приведенных в таблице 1.

Таблица 1.

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Вариант | N | Номера импульсов, проходящих на выводы | | | |
| Режим 1 | | Режим 2 | |
| Выход Z1 | Выход Z2 | Выход Z1 | Выход Z2 |
| 0.0.2 | 6 | 2, 4, 5 | 1, 2, 5 | 2, 3, 5, 6 | 3, 4, 5 |

Генератор чисел должен обеспечивать:

- мощность, потребляемая от источника питания не превышающую **300 мВт**. Напряжение источника питания +5V ± 10%;

-использование в составе схемы микросхем и вспомогательных электрорадиоэлементов (разъемов, резисторов, конденсаторов) в количестве, не превышающем **18 шт.**

Электрическая схема должна обеспечивать конструктивное выполнение модуля в виде ТЭЗ, на который сигналы питания, сигналы синхронизации (С) и начального сброса (R), а также сигнал M, служащий для задания режима, поступают через разъем. Через этот же разъем осуществляется снятие выходных сигналов (Z1,Z2) с генератора чисел.

Максимальная длительность периода следования сигналов синхронизации (Т) равна **56 нс**. Длительность сигналов синхронизации равна Т/2. В случае использования в качестве критерия оптимизации быстродействия, должно быть минимизировано значение Т, при котором схема сохраняет работоспособность. При расчете длительности сигналов считать минимальную задержку микросхем равной нулю. Длительность выходных сигналов Г.Ч. (t вых.) должна быть не меньше **5 нс**.

Сигнал (R) имеет отрицательную полярность и длительность более Т и менее 1.5 Т. В результате воздействия сигнала (R) генератор чисел должен установиться в исходное состояние и сформировать на своих выходах первое число из заданной последовательности.

Входные сигналы режима работы могут менять свое значение только в момент установки в ноль сигнала (R).

Для обеспечения высокой помехоустойчивости генератора чисел на цепи питания должны быть установлены высокочастотные фильтрующие конденсаторы из расчета по одному на каждый корпус микросхемы. Кроме этого должен быть установлен один электролитический конденсатор.

Логический уровень входных и выходных сигналов Г. Ч. должен быть стандартным для ТТЛШ - микросхем.

Нагрузка по току со стороны Г. Ч. на источники входных сигналов не должна превышать IiH = 30 мкА, IiL *=* 1 мА, а нагрузочная способность по току выходов Г. Ч. должна быть не менее IoH=0.8мА, IoL=16 мА

Для построения схемы Г. Ч. допустимо использование только микросхем, принадлежащих к серии микросхем К1533.

В качестве критерия оптимизации выступает **быстродействие** схемы (при равенстве по этому критерию выбрать схему с минимальными аппаратными затратами).

На основании предъявляемых ТЗ требований можно сделать вывод, что для обеспечения работоспособности схемы, общее время переключения схемы по входу «С» (Tпер.С) не должно превышать T (**56**нс), а время формирования выходных сигналов ГЧ (Тформ.С) не должно превышать (Т-tвых.), то есть **51**нс. Вместе с тем, общее время переключения схемы по входу «R» (Tпер.R) не должно превышать длительность этого сигнала (1,5T) , то есть **84**нс. А время формирования выходных сигналов ГЧ при подаче сигнала «R» не должно превышать (1,5Т-tвых.), то есть **79**нс.

**2. Структура ГЧ, как «черного ящика»**

Генератор чисел (ГЧ) – это функциональный узел при подаче на вход которого серий синхроимпульсов на выходах формируется циклическая последовательность n-разрядных двоичных чисел. Структура ГЧ как «черного ящика» показана на рисунке 1.

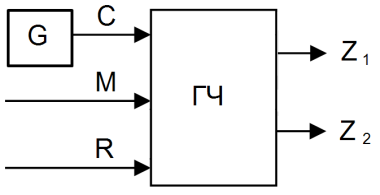


Рисунок 1 - Структура генератора чисел

ГЧ – генератор чисел;

G – генератор тактовых импульсов;

С – синхроимпульсы;

М – сигнал, определяющий режим работы ГЧ;

R – сигнал, начальной установки;

Z1,Z2 – выходы ГЧ.

**3. Временная диаграмма работы генератора чисел, как «черного ящика».**

Диаграмма работы генератора чисел представлена на рисунке 2.

С

Z2

Z1

M

Рисунок 2 - Временная диаграмма работы генератора чисел

Обозначения:

- С – синхроимпульсы

- Z1 – младший разряд ГЧ

- Z2 – старший разряд ГЧ

- М – режим работы ГЧ

Проанализировав полученную диаграмму, можно представить последовательность чисел, которую нужно реализовать при построении ГЧ. Эта последовательность имеет вид, представленный в таблице 2.

Таблица 2.

|  |  |
| --- | --- |
| Режим | Последовательность |
| M=0 | 2-3-0-1-3-0 |
| M=1 | 0-1-3-2-3-1 |

**4. Методы и способы построения генератора чисел**

**4.1. Генератор чисел на базе счетчика Джонсона**

**4.1.1. Варианты построение счетчика Джонсона и выбор оптимального в соответствии с критерием оптимизации**

**4.1.1.1. Счетчик Джонсона на базе D-триггеров**

Так как длина формируемой последовательности чисел равна 6, нам потребуется счетчик Джонсона с модулем пересчета 6. Таблица переходов такого счетчика, использующего сдвиг вправо, приведена в таблице 3.

Таблица 3.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Текущее значение  разрядов в такте t | | | Значение разрядов в  следующим такте t+1 | | | Сигналы возбуждения  триггеров | | |
| Q3 | Q2 | Q1 | Q3 | Q2 | Q1 | D3 | D2 | D1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |

Карты Карно для сигналов возбуждения триггеров представлены на рисунке 3

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | \* |
| 1 | 1 | \* | 0 | 1 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | \* |
| 1 | 1 | \* | 1 | 1 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | \* |
| 1 | 0 | \* | 1 | 1 |



Рисунок 3 - Карты Карно

Построим счетчик Джонсона с использованием ИМС КР1533ТМ8, которая представляет собой четыре D-триггера с прямыми и инверсными выходами и является одной из наиболее быстродействующих среди микросхем D-триггеров серии КР1533. Данная схема представлена на рисунке 4.

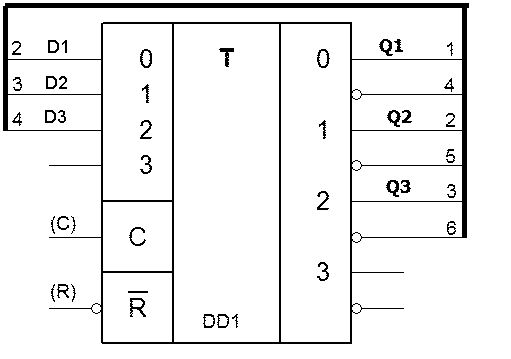


Рисунок 4 - Счетчик Джонсона на базе D-триггера

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Задержка переключения счетчика по входу «R» (Тпер.R) равна tзд(КР1533ТМ8) по входу «R» +время опережения установки информации по входу «D» относительно положительного фронта сигнала на входе «С» = 23+10 (нс) = 33нс.

Время формирования выходных сигналов счетчика по сигналу «С» (Тформ. С) равна tзд(КР1533ТМ8) по входу «С» = 17нс.

Задержка переключения счетчика по входу «С» (Тпер.С) равна tзд(КР1533ТМ8) по входу «С» +время опережения установки информации по входу «D» относительно положительного фронта сигнала на входе «С» = 17+10 (нс) = 27нс.

Время формирования выходных сигналов счетчика по сигналу «С» (Тформ.С) равна tзд(КР1533ТМ8) по входу «R» = 23нс.

**4.1.1.2. Счетчик Джонсона на базе JK-триггеров**

Таблица переходов счетчика Джонсона на базе JK-триггеров, использующего сдвиг вправо, приведена в таблице 4.

Таблица 4.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Текущее значение  разрядов в такте t | | | Значение разрядов в  следующим такте t+1 | | | Сигналы возбуждения  триггеров | | |
| Q3 | Q2 | Q1 | Q3 | Q2 | Q1 | J3K3 | J2K2 | J1K1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 1\* | 0\* | 0\* |
| 1 | 0 | 0 | 1 | 1 | 0 | \*0 | 1\* | 0\* |
| 1 | 1 | 0 | 1 | 1 | 1 | \*0 | \*0 | 1\* |
| 1 | 1 | 1 | 0 | 1 | 1 | \*1 | \*0 | \*0 |
| 0 | 1 | 1 | 0 | 0 | 1 | 0\* | \*1 | \*0 |
| 0 | 0 | 1 | 0 | 0 | 0 | 0\* | 0\* | \*1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | \* |
| 1 | \* | \* | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | \* | \* | \* | \* |
| 1 | 0 | \* | 1 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | \* | \* |
| 1 | 1 | \* | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | \* | \* | 1 | \* |
| 1 | \* | \* | 0 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | \* | \* | \* |
| 1 | 0 | \* | \* | 1 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | \* | 1 | 0 | \* |
| 1 | \* | \* | 0 | \* |



Построим счетчик Джонсона на ИМС КР1533ТВ9, которая представляет собой два JK-триггера с асинхронным сбросом и является одной из наиболее быстродействующих среди микросхем JK-триггеров серии КР1533. Данная схема представлена на рисунке 5.

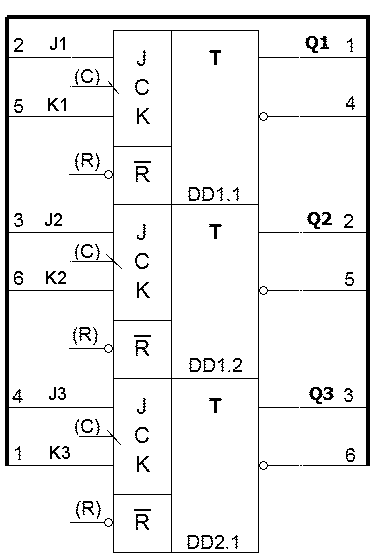


Рисунок 5 - Счетчик Джонсона на базе JK-триггеров

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,12мА, Iвх0( R ) = 1,2мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,06мА, Iвх0( С ) =0,6мА.

По входным сигналам данная схема не удовлетворяет условиям ТЗ. Для того, что бы нагрузка по току на входные сигналы ГЧ удовлетворяла ТЗ, пропустим входные сигналы через ИМС КР1533ЛП16, которая представляет собой шесть буферных элементов с повышенной нагрузочной способностью. Полученная в результате схема представлена на рисунке 6.

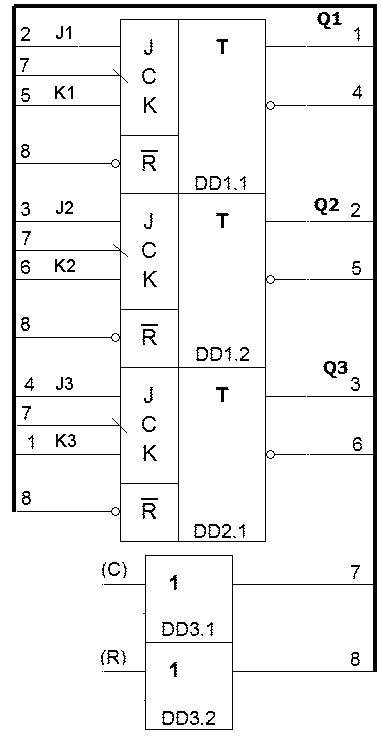


Рисунок 6 - Счетчик Джонсона на базе JK-триггеров, согласованный по входному току

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Задержка переключения счетчика (Тпер.R) по входу «R» равна tзд.(КР1533ЛП16) + tзд.(КР1533ТВ9) по входу «R» + время опережения установки информации по входам «J» и «K» относительно фронта спада на входе «С» триггера = 8+19+22 нс = 49нс.

Время формирования выходных сигналов счетчика (Тформ.R) по входу «R» равна tзд(КР1533ЛП16) + tзд(КР1533ТВ9) по входу «R» = 8+19 нс = 27нс.

Задержка переключения счетчика (Тпер.С) по входу «С» равна tзд.(КР1533ЛП16) + tзд.(КР1533ТВ9) по входу «С» + время опережения установки информации по входам «J» и «K» относительно фронта спада на входе «С» триггера = 8+18+22 (нс) = 48нс.

Время формирования выходных сигналов счетчика (Тформ.С) по входу «С» равна tзд.(КР1533ЛП16) + tзд.(КР1533ТВ9) по входу «С» = 8+18 (нс) = 26нс.

Рассматриваемый способ уступает по всем временным параметрам рассмотренному ранее в разделе 4.1.1.1 счетчику Джонсона на базе D-триггеров.

Замена на входе «С» усилителя тока КР1533ЛП16 на более быстродействующий инвертор КР1533ЛН8 хоть и обеспечит уменьшение Тформ.С и Тпер.С на 2нс, но не приведет к опережению по быстродействию рассматриваемого способа по сравнению со счетчиком Джонсона на базе D-триггеров.

**4.1.1.3. Выбор способа построения счетчика Джонсона, построенного на триггерах.**

Таблица 5.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **Метод построения счетчика Джонсона** | **T формR.** | **T перR.** | **T формC.** | **T перC.** |
| Счетчик Джонсона на базе D-триггеров | 23нс. | 33нс. | 17нс. | 27нс. |
| Счетчик Джонсона на базе JK-триггеров | 27нс. | 49нс. | 26нс. | 48нс. |

Как видно из таблицы 5, наилучшим вариантом построения является счетчик Джонсона на базе D-триггеров, так как все его временные параметры лучше.

**4.1.1.3. Счетчик Джонсона на базе СИС сдвигового регистра**

Поскольку минимальная задержка у СИС, выполняющих функции сдвигового регистра при выполнении синхронных операций составляет 22 нс, то счетчики Джонсона построенные на их основе не могут иметь время формирования выходных сигналов по входу «С» меньше, чем схема счетчика Джонсона, рассмотренная в разделе 4.1.1.1 (17 нс). Поэтому подробное рассмотрение данного способа построения счетчика Джонсона не имеет смысла.

**4.1.2. Построение генератора чисел на базе счетчика Джонсона**

**4.1.2.1. Генератор чисел на базе счетчика Джонсона с преобразователем кода Джонсона на элементах «И-НЕ»**

Таблица истинности для выходных функций ГЧ в зависимости от режима работы и состояния счетчика Джонсона представлена в таблице 6.

Таблица 6.

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| М | Q3 | Q2 | Q1 | Z2 | Z1 | 10-е число |
| 0 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 1 | 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 1 | 0 | 0 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 | 1 | 1 |
| 0 | 0 | 1 | 1 | 1 | 1 | 3 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 | 1 | 3 |
| 1 | 1 | 1 | 1 | 1 | 0 | 2 |
| 1 | 0 | 1 | 1 | 1 | 1 | 3 |
| 1 | 0 | 0 | 1 | 0 | 1 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | \* |
| 01 | 1 | \* | 0 | 0 |
| 11 | 0 | \* | 1 | 1 |
| 10 | 0 | 0 | 1 | \* |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | \* |
| 01 | 1 | \* | 1 | 0 |
| 11 | 1 | \* | 0 | 1 |
| 10 | 0 | 1 | 1 | \* |





Схема, состоящая из представленного на рисунке 4 счетчика Джонсона на базе D-триггеров и преобразователя кодов, представлена на рисунке 7. Для построения схемы преобразователя кодов на элементах «И-НЕ» использованы микросхемы КР1533ЛА24 (DD3 – DD5) и КР1533ЛА22 (DD2).

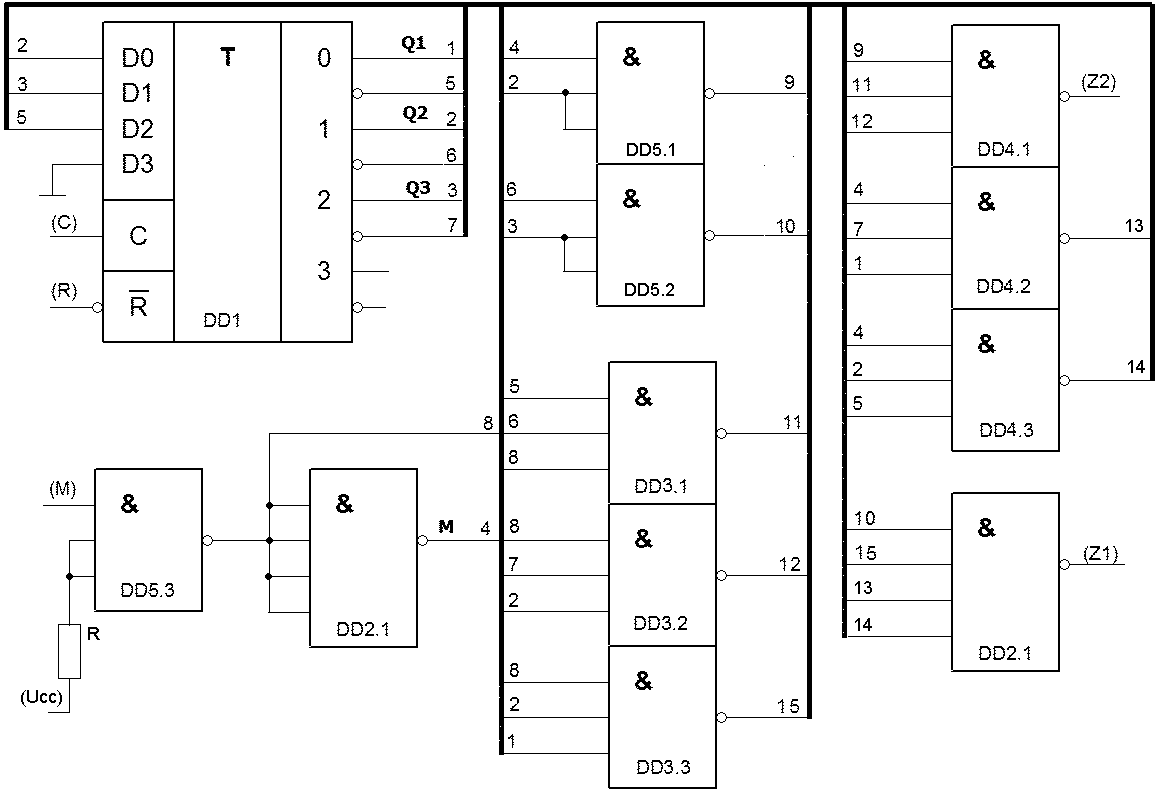


Рисунок 7 -Генератор чисел на базе счетчика Джонсона с преобразователем кода

Нагрузка по току на источник входного сигнала начальной установки (R):

Iвх1(R) = 0,02мА, Iвх0(R) = 0,1мА.

Нагрузка по току на источник входного синхросигнала (C):

Iвх1(С) = 0,02мА, Iвх0(С) = 0,1мА.

Нагрузка по току на источник входного сигнала режима (M):

Iвх1(М) = 0,02мА, Iвх0(М) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Выходные сигналы Z1 и Z2 снимаются с микросхем КР1533ЛА24 (DD4.1) и КР1533ЛА22(DD2.1), выходной ток которой составляет не менее 30мА, что удовлетворяет условию ТЗ.

Время формирования выходных сигналов ГЧ (Tформ.R) и время переключения схемы по входу «R» (Tпер.R) равно tзд.(КР1533ТМ8) по входу «R» + tзд.(КР1533ЛА22)+ tзд.(КР1533ЛА24)=23+8+8 (нс) =39нс.

Длительность выходных сигналов ГЧ при переключении по входу «R» будет не менее 1,5Т-Тформ.R = 84-39 (нс) = 45нс.

Время формирования выходных сигналов ГЧ (Tформ.С) и время переключения схемы по входу «С» (Tпер.С) равно tзд.(КР1533ТМ8) по входу «С» + tзд.(КР1533ЛА22)+ tзд.(КР1533ЛА24)=17+8+8 (нс) =33нс.

Длительность выходных сигналов ГЧ при переключении по входу «С» будет не менее Т -Тформ.С = 56 нс -33 нс = 23нс.

Таким образом, минимальная длительность выходных сигналов ГЧ равна 23нс.

Поскольку суммарная задержка элементов DD2.1 и DD5.3 не превышает 16нс (что меньше задержки триггера DD1), то задержка этих элементов не отразится на общей задержки схемы.

Потребляемая мощность схемы (с учетом мощности, выделяемой на резисторе):

Р =Ucc\*(1\*Icc(КР1533ТМ8) + 1\*Icc(КР1533ЛА22) + 3\*Icc(КР1533ЛА24) +1\*Ucc/Rmin ) =5,5\*(1\*14+1\*3,9+3\*5,8+1\*5,5В/0,95кОм)= 225,99 мВт.

Количество ИМС, использованных в составе схемы ГЧ -5 шт., а общее количество корпусов, включая фильтрующие конденсаторы, резистор и разъем, – 13 шт.

Схема удовлетворяет всем требованиям ТЗ.

Начальная установка ГЧ производится при подаче нулевого сигнала на вход сброса ГЧ (R) . При этом счетчик Джонсона устанавливается в исходное 0-ое состояние и на выходах преобразователя кодов в соответствии с заданным сигналом «М» режимом работы, устанавливается значение первого числа из заданной последовательности чисел. После снятия сигнала сброса по каждому синхроимпульсу к значению счетчика Джонсона прибавляется «1» и на выходах преобразователя кодов формируется очередное число последовательности.

После того, как счетчик Джонсона достиг своего максимального значения (5), по следующему синхроимпульсу он обнуляется и цикл работы ГЧ повторяется.

**4.1.2.2. Генератор чисел на базе счетчика Джонсона с преобразователем кода Джонсона на «монтажном ИЛИ»**

Воспользуемся картами Карно приведенными при рассмотрении предыдущего метода построения ГЧ.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | 1 | \* |
| 01 | 1 | \* | 0 | 0 |
| 11 | 0 | \* | 1 | 1 |
| 10 | 0 | 0 | 1 | \* |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | \* |
| 01 | 1 | \* | 1 | 0 |
| 11 | 1 | \* | 0 | 1 |
| 10 | 0 | 1 | 1 | \* |





Воспользуемся для построения схемы преобразователя кодов на «монтажном ИЛИ» микросхемами КР1533ЛА7. Полученная схема ГЧ, состоящая из представленного на рисунке 4 счетчика Джонсона на базе D-триггеров и преобразователя кодов, представлена на рисунке 8.

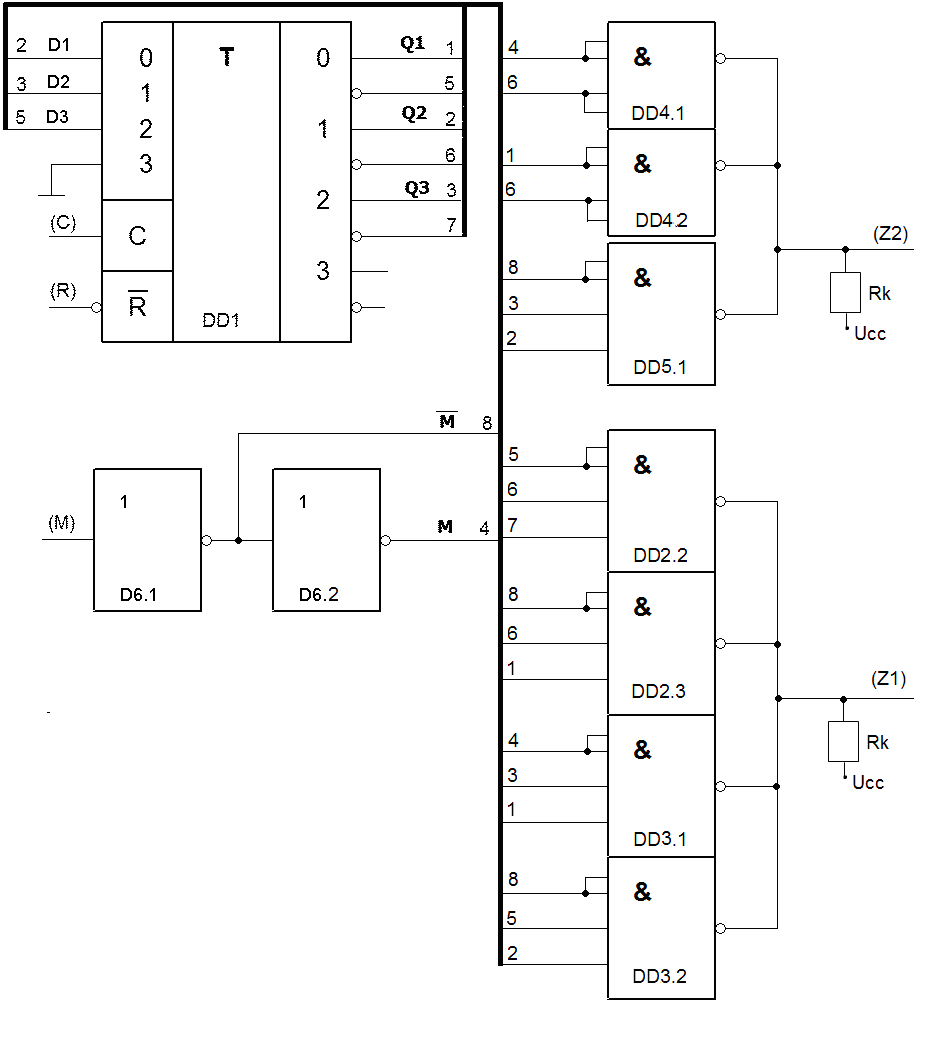


Рисунок 8 – Генератор чисел на базе счетчика Джонсона с преобразователем кода Джонсона на «монтажном ИЛИ»

Нагрузка по току на источник входного сигнала начальной установки (R):

Iвх1(R) = 0,02мА, Iвх0(R) = 0,1мА.

Нагрузка по току на источник входного синхросигнала (C):

Iвх1(С) = 0,02мА, Iвх0(С) = 0,1мА.

Нагрузка по току на источник входного сигнала режима (M):

Iвх1(М) = 0,02мА, Iвх0(М) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Поскольку суммарная задержка элементов DD6.1 и DD6.2, принадлежащих микросхеме КР1533ЛН8 не превышает 13нс (что меньше задержки триггера DD1), задержка этих элементов не сказывается на общей задержки схемы.

Время формирования выходных сигналов ГЧ по входу «С» (Тформ.С) равно tзд.(КР1533ТМ8) по входу «С» + tзд.(КР1533ЛА7) =17+45 (нс) =62 нс.

Данный способ построения ГЧ не удовлетворяет требованиям Т.З. по быстродействию, так как выходные сигналы ГЧ при переключении по входу «С» не успеют сформироваться до прихода следующего синхроимпульса (через 56нс).

**4.1.2.3. Генератор чисел на базе счетчика Джонсона с преобразователем кода Джонсона на мультиплексорах.**

Поскольку задержка преобразователя кодов, построенного на элементах И-НЕ в разделе 4.1.2.1 (16 нс) меньше задержки любой микросхемы мультиплексора из состава серии микросхем К1533 (их минимальная задержка 21 нс), то рассматривать данный способ реализации схемы ГЧ не имеет смысла.

**4.1.2.4. Генератор чисел на базе счетчика Джонсона с преобразователем кода Джонсона на элементах «И-ИЛИ-НЕ».**

Поскольку задержка преобразователя кодов, построенного на элементах И-НЕ в разделе 4.1.2.1 (16нс) меньше задержки любой микросхемы с элементами И-ИЛИ-НЕ из состава серии микросхем К1533 (их минимальная задержка 20нс), то рассматривать данный способ реализации схемы ГЧ не имеет смысла.

**4.2. Генератор чисел на базе двоичного счетчика**

**4.2.1. Способы построение двоичного счетчика и выбор оптимального в соответствии с критерием оптимизации**

Поскольку критерием оптимизации является быстродействие, рассмотрим наиболее быстродействующие параллельные счетчики.

**4.2.1.1. Построение параллельного суммирующего двоичного счетчика на базе JK-триггера.**

Таблица переходов параллельного счетчика с модулем пересчета 6, построенного на основе JK – триггеров представлена в таблице 7.

Таблица 7.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Текущее значение  разрядов в такте t | | | | Значение разрядов в  следующем такте t+1 | | | | Сигналы возбуждения  триггеров | | | | | |
| 10-е число | Q3 | Q2 | Q1 | 10-е число | Q3 | Q2 | Q1 | J3 | K3 | J2 | K2 | J1 | K1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | \* | 0 | \* | 1 | \* |
| 1 | 0 | 0 | 1 | 2 | 0 | 1 | 0 | 0 | \* | 1 | \* | \* | 1 |
| 2 | 0 | 1 | 0 | 3 | 0 | 1 | 1 | 0 | \* | \* | 0 | 1 | \* |
| 3 | 0 | 1 | 1 | 4 | 1 | 0 | 0 | 1 | \* | \* | 1 | \* | 1 |
| 4 | 1 | 0 | 0 | 5 | 1 | 0 | 1 | \* | 0 | 0 | \* | 1 | \* |
| 5 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | \* | 1 | 0 | \* | \* | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | \* | \* | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | \* | \* | \* | \* |
| 1 | 0 | 1 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | \* | \* |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | \* | \* | 1 | 0 |
| 1 | \* | \* | \* | \* |



; 

Схема двоичного счетчика с модулем пересчета М=6, построенная на микросхемах КР1533ТВ9 (DD1 – DD2), КР1533ЛП16 (DD4), КР1533ЛН8 (DD5) и КР1533ЛИ8 (DD3) представлена на рисунке 9. Элементы микросхем КР1533ЛП16 и КР1533ЛН8 обеспечивают согласование схемы по току с входными сигналами ГЧ.

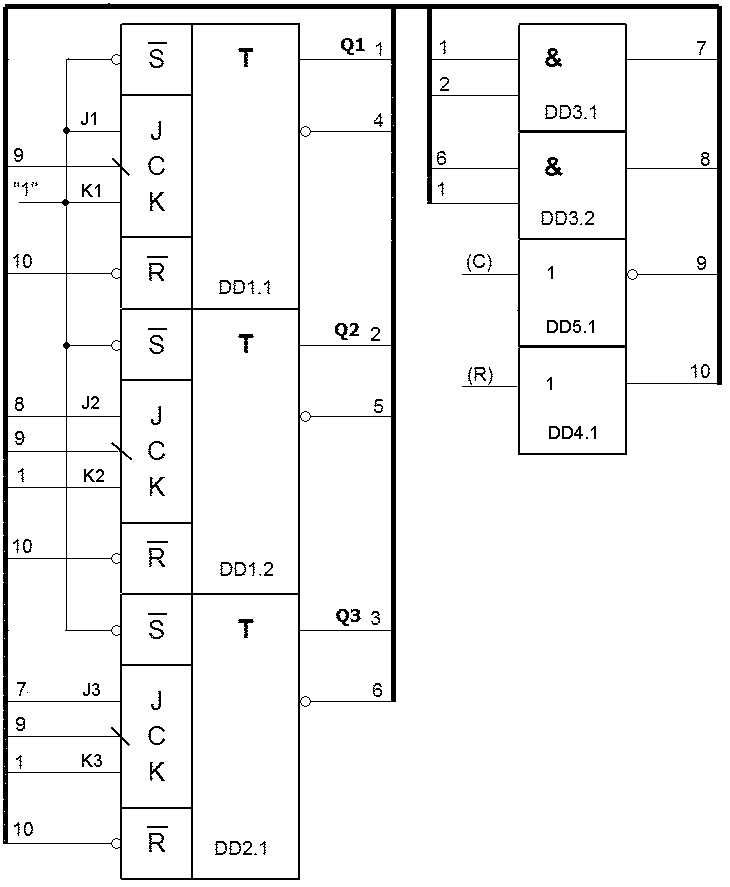


Рисунок 9 -Параллельный двоичный счетчик на базе JK-триггера

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

По нагрузке на входные сигналы данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов счетчика по входу «R» (Тформ.R) равно tпер.(КР1533 ЛП16) + tпер.(КР1533ТВ9) по входу «R» = 8+19 (нс) =27нс.

Задержка переключения счетчика по входу «R» (Тпер.R) равна tпер.(КР1533ЛП16) + tпер.(КР1533ТВ9) по входу «R» + tпер.(КР1533ЛИ8) + время опережения установки информации по входам «J» и «K» относительно фронта спада на входе «С» триггера = 8+19+9+22 (нс) =58нс.

Время формирования выходных сигналов счетчика по входу «C» (Тформ.C) равно tпер.1-0(КР1533 ЛН8) + tпер.(КР1533ТВ9) по входу «C» = 6+18 (нс) =24нс.

Задержка переключения счетчика по входу «C» (Тпер.C) равна tпер. 1-0(КР1533ЛН8) + tпер.(КР1533ТВ9) по входу «C» + tпер.(КР1533ЛИ8) + время опережения установки информации по входам «J» и «K» относительно фронта спада на входе «С» триггера = 6+18+9+22 (нс) =55нс.

**4.2.1.2. Построение параллельного суммирующего двоичного счетчика на базе D-триггера**

Таблица переходов параллельного счетчика с модулем пересчета 6, построенного на основе D – триггеров представлена в таблице 8.

Таблица 8.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Текущее значение  разрядов в такте t | | | | Значение разрядов в  следующим такте t+1 | | | | Сигналы возбуждения  триггеров | | |
| 10-е число | Q3 | Q2 | Q1 | 10-е число | Q3 | Q2 | Q1 | D3 | D2 | D1 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 2 | 0 | 1 | 0 | 0 | 1 | 0 |
| 2 | 0 | 1 | 0 | 3 | 0 | 1 | 1 | 0 | 1 | 1 |
| 3 | 0 | 1 | 1 | 4 | 1 | 0 | 0 | 1 | 0 | 0 |
| 4 | 1 | 0 | 0 | 5 | 1 | 0 | 1 | 1 | 0 | 1 |
| 5 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | \* | \* |



Схема параллельного двоичного счетчика на базе D-триггера с модулем пересчета 6, использующая ИМС КР1533ЛА24 (DD2 - DD3) и наиболее быстродействующую среди D-триггеров серии КР1533 ИМС КР1533ТМ8 (DD1), представлена на рисунке 10.

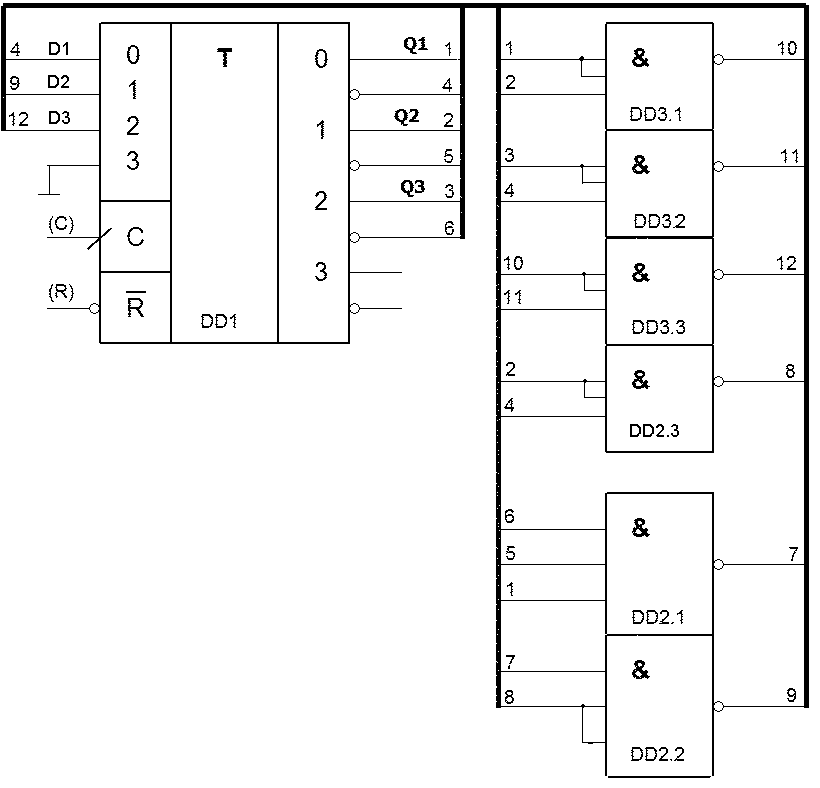


Рисунок 10 - Параллельный двоичный счетчик на базе D-триггера

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1(С) = 0,02мА, Iвх0(С) =0,1мА.

По нагрузке на входные сигналы данная схема удовлетворяет условиям ТЗ.

Задержка переключения счетчика по входу «R» равна: tпер(КР1533ТМ8) по входу «R» +2\*tпер(КР1533ЛА24) +время опережения установки информации по входу «D» относительно положительного фронта сигнала на входе «С» =23+2\*8+10 (нс) =49 нс.

Время формирования выходных сигналов счетчика по входу «R» равно tзд(КР1533ТМ8) по входу «R» = 23нс.

Задержка переключения счетчика по входу «С» равна: tпер(КР1533ТМ8) по входу «С» +2\*tпер(КР1533ЛА24) +время опережения установки информации по входу «D» относительно положительного фронта сигнала на входе «С» =17+2\*8+10 (нс) =43 нс.

Время формирования выходных сигналов счетчика по входу «С» равно tзд(КР1533ТМ8) по входу «С» = 17нс.

**4.2.1.3. Построение двоичного суммирующего счетчика с модулем пересчета 6 на базе СИС КР1533ИЕ18**

Таблица истинности для функции обнуления счетчика представлена в таблице 9.

Таблица 9.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| N | Q3 | Q2 | Q1 | F |
| 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 0 | 1 | 0 |
| 3 | 0 | 1 | 0 | 0 |
| 4 | 0 | 1 | 1 | 0 |
| 5 | 1 | 0 | 0 | 0 |
| 6 | 1 | 0 | 1 | 1 |
| 7 | 1 | 1 | 0 | \* |
| 8 | 1 | 1 | 1 | \* |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | \* | 0 |



Схема двоичного счетчика с модулем пересчета 6 на базе СИС, использующая микросхемы КР1533ИЕ18 (DD1) и КР1533ЛA24 (DD2), представлена на рисунке 11. Микросхема КР1533ЛA24 служит для реализации функции сброса (F) при достижении счетчиком максимального значения.

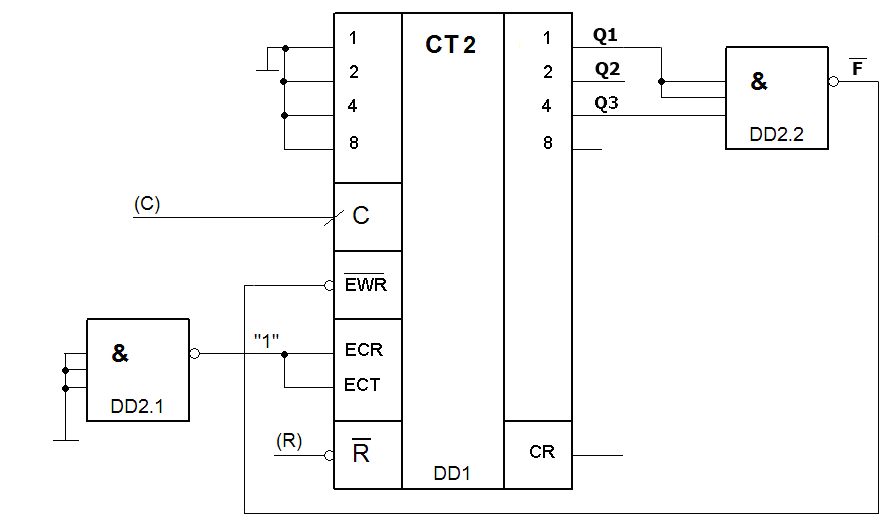


Рисунок 11 - Двоичный суммирующий счетчик на базе СИС КР1533ИЕ18

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,2мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Задержка переключения счетчика по входу «С» равна tпер(КР1533ИЕ18) + tпер(КР1533ЛА24) + время установления сигнала «F» относительно входа «С» =17+8+15 (нс) = 45нс.

Максимальное время формирование выходных сигналов (Q1– Q3) счетчика по входу «С» равно tзд.(КР1533ИЕ18) по входу «С» =17 нс.

Установка схемы в исходное состояние по сигналу «R» происходит синхронно.

**4.2.1.4. Выбор способа построения двоичного счетчика.**

Сравнительная таблица способов построения двоичного счетчика представлена в таблице 10.

Таблица 10.

|  |  |  |  |
| --- | --- | --- | --- |
| **Способ построения двоичного счетчика** | **Тформ.С** | **Тформ.R** | **Парафазные выходы** |
| Двоичный суммирующий счетчик на базе СИС КР1533ИЕ18 | 17нс. | - | Нет |
| Двоичный счетчик на базе D – триггеров | 17нс. | 23нс. | Да |
| Двоичный счетчик на базе JK – триггеров | 24нс. | 27нс. | Да |

Из табл. 10 видно, что наиболее подходящим по времени формирования выходных сигналов счетчика, является двоичный счетчик на базе D – триггеров, поскольку его преимуществом является наличие парафазных выходов.

**4.2.2. Построение генератора чисел на базе двоичного счетчика**

**4.2.2.1. Генератор чисел на базе двоичного счетчика с преобразователем кодов на элементах «И–НЕ».**

Таблица истинности для преобразователя кодов, реализующего выходные функции ГЧ в зависимости от значений счетчика и заданного режима работы ГЧ приведена в таблице 11.

Таблица 11.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| N-такта | M | Q3 | Q2 | Q1 | Z2 | Z1 | 10-е число |
| 0 | 0 | 0 | 0 | 0 | **1** | **0** | 2 |
| 1 | 0 | 0 | 0 | 1 | **1** | **1** | 3 |
| 2 | 0 | 0 | 1 | 0 | **0** | **0** | 0 |
| 3 | 0 | 0 | 1 | 1 | **0** | **1** | 1 |
| 4 | 0 | 1 | 0 | 0 | **1** | **1** | 3 |
| 5 | 0 | 1 | 0 | 1 | **0** | **0** | 0 |
| 0 | 1 | 0 | 0 | 0 | **0** | **0** | 0 |
| 1 | 1 | 0 | 0 | 1 | **0** | **1** | 1 |
| 2 | 1 | 0 | 1 | 0 | **1** | **1** | 3 |
| 3 | 1 | 0 | 1 | 1 | **1** | **0** | 2 |
| 4 | 1 | 1 | 0 | 0 | **1** | **1** | 3 |
| 5 | 1 | 1 | 0 | 1 | **0** | **1** | 1 |

Минимизируем выходные функций ГЧ при помощи карты Карно.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 0 | 0 |
| 01 | 1 | 0 | \* | \* |
| 11 | 1 | 0 | \* | \* |
| 10 | 0 | 0 | 1 | 1 |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 0 |
| 01 | 1 | 0 | \* | \* |
| 11 | 1 | 1 | \* | \* |
| 10 | 0 | 1 | 0 | 1 |





Воспользуемся в качестве основы для построения ГЧ схемой наиболее быстродействующего двоичного счетчика на базе D-триггеров, представленной на рисунке 10. Полученная схема, построенная на микросхемах КР1533ТМ8 (DD1), КР1533ЛА24 (DD3 – DD6), КР1533ЛН8 (DD7) и КР1533ЛА22 (DD2), представлена на рисунке 12.

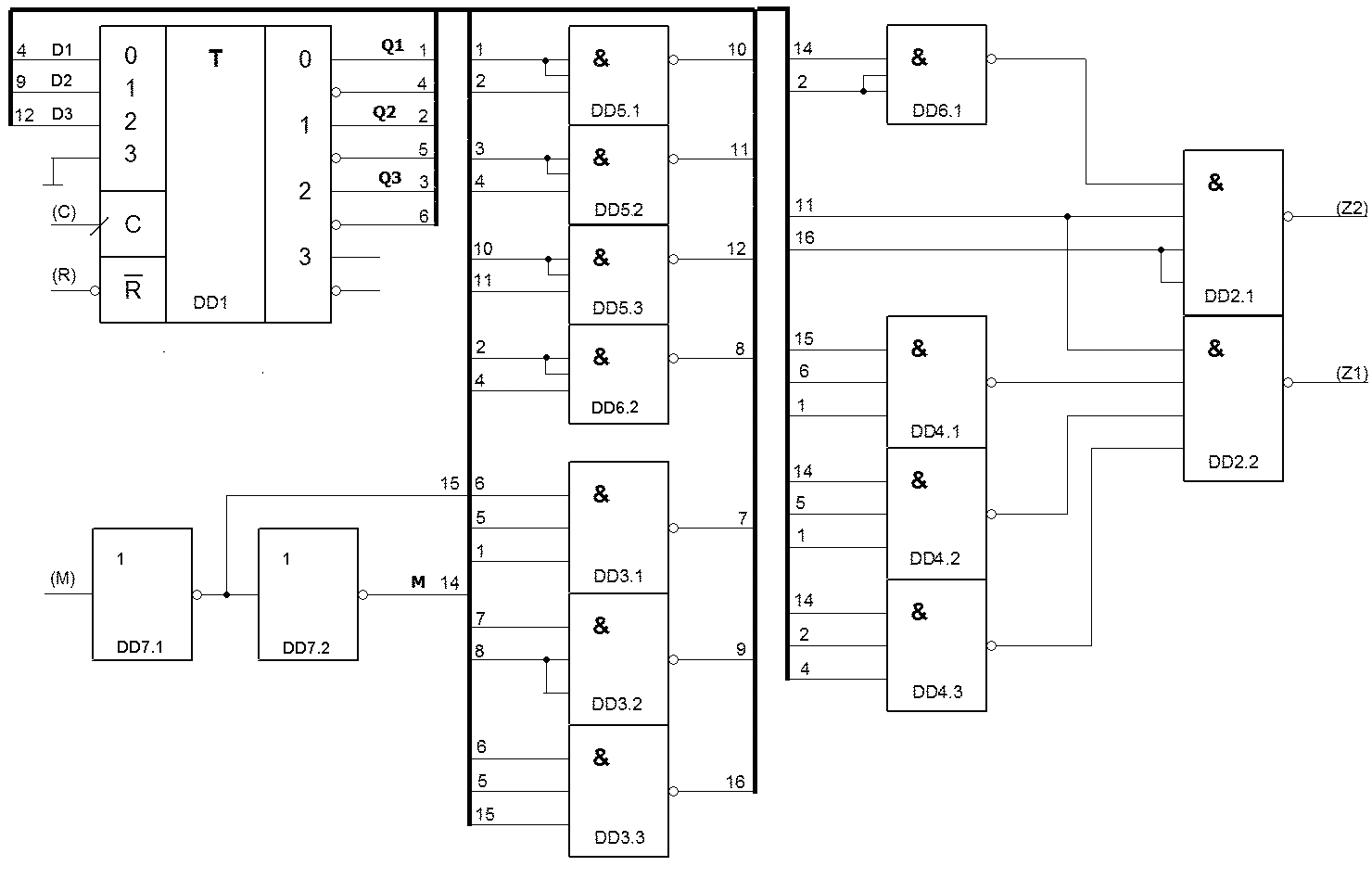


Рисунок 12 -Генератор чисел на базе двоичного счетчика с преобразователем кодов наэлементах «И–НЕ»

Выходные сигналы Z1 и Z2 снимаются с микросхемы КР1533ЛА22, выходной ток которой составляет не менее 30мА, что удовлетворяет условию ТЗ.

Элементы микросхемы КР1533ЛН8 (DD7) обеспечивают согласование по входному току на входе «M» ГЧ.

Время формирования выходных сигналов ГЧ по входу «С» равно tпер.(КР1533ТМ8) по входу «С» + tпер.(КР1533ЛА24) + tпер.(КР1533ЛА22) =17+8+8 (нс) =33 нс.

Задержка переключения ГЧ по входу «C» равно времени переключения по входу «С» использованного счетчика и составляет 43нс.

Время формирования выходных сигналов ГЧ по входу «R» равно tпер.(КР1533ТМ8) по входу «R» + tпер.(КР1533ЛА24) + tпер.(КР1533ЛА22) =23+8+8 (нс) =39 нс.

Задержка переключения ГЧ по входу «R» равно времени переключения по входу «R» использованного счетчика и составляет 49нс.

Длительность выходных сигналов ГЧ при переключении по входу «R» будет не менее 1,5Т -Тформ.R = 84 -39 (нс) = 45нс.

Длительность выходных сигналов ГЧ при переключении по входу «С» будет не менее Т -Тформ.С = 56-33 (нс) = 23нс.

Таким образом, минимальная длительность выходных сигналов ГЧ равна 23нс.

Потребляемая мощность: Р =Ucc\*(1\*Icc(КР1533ТМ8) + 1\*Icc(КР1533ЛА22) + 4\*Icc(КР1533ЛА24) 1\*Icc(КР1533ЛН8)) =5,5\*(1\*14+1\*3,9+4\*5,8+1\*12)= 292,05мВт.

Количество ИМС, использованных в составе схемы ГЧ -7 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, составит 16 шт.

Данный вариант удовлетворяет всем условиям ТЗ, но уступает схеме, рассмотренной в пункте 4.1.2.1 по аппаратным затратам и потребляемой мощности.

**4.2.2.2. Генератор чисел на базе двоичного счетчика, построенного на базе D – триггеров, с преобразователем кодов на «монтажном ИЛИ»**

Воспользуемся картами Карно, представленными при рассмотрении предшествующего варианта реализации ГЧ, для реализации инверсных функций ГЧ.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 1 | 0 | 0 |
| 01 | 1 | 0 | \* | \* |
| 11 | 1 | 0 | \* | \* |
| 10 | 0 | 0 | 1 | 1 |



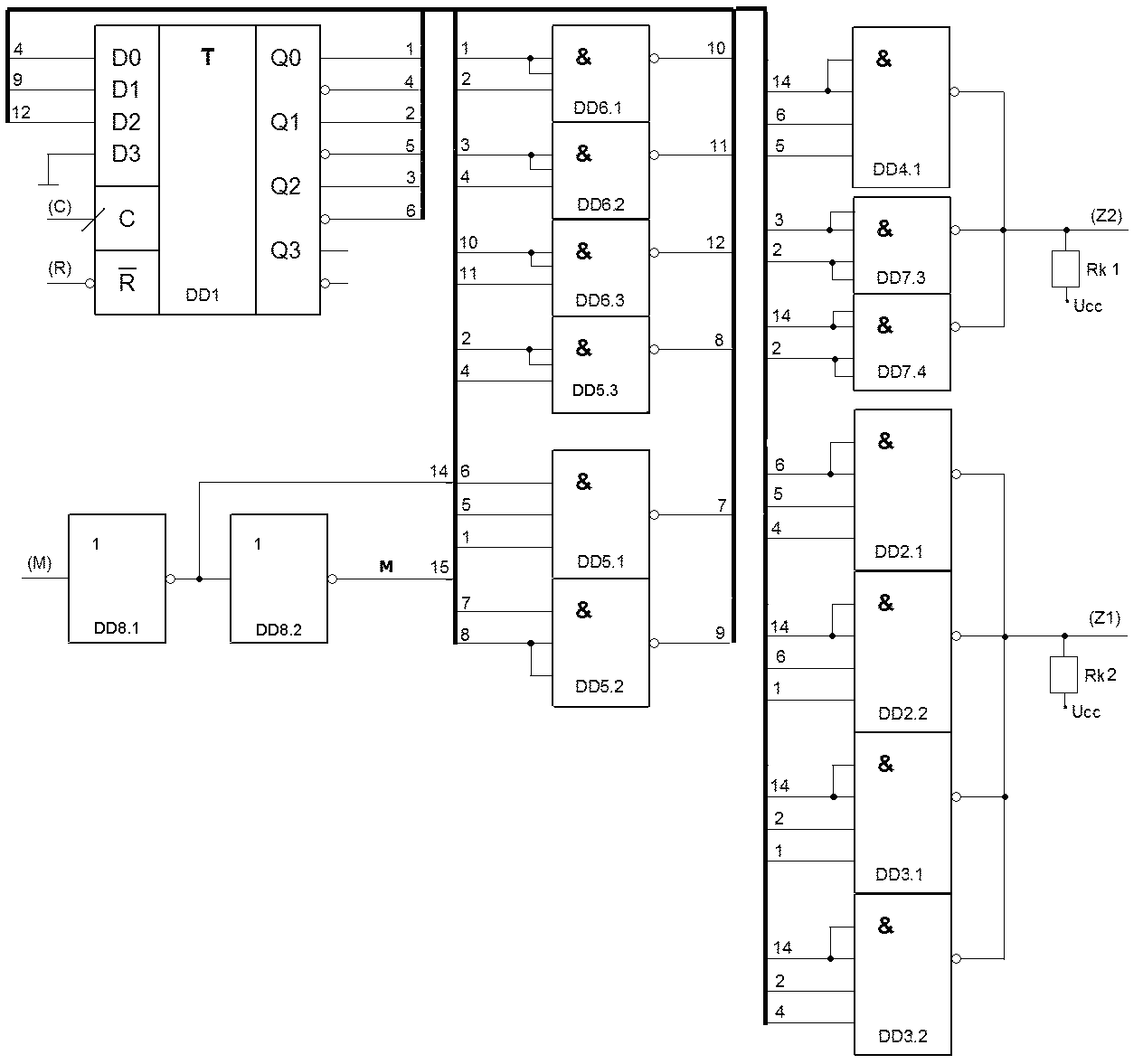


|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 0 |
| 01 | 1 | 0 | \* | \* |
| 11 | 1 | 1 | \* | \* |
| 10 | 0 | 1 | 0 | 1 |





Воспользуемся в качестве основы для построения ГЧ представленным на рисунке 10 двоичным счетчиком на базе D-триггеров, имеющим парафазные выходы. Полученная схема, построенная на микросхемах КР1533ТМ8 (DD1), КР1533ЛА24 (DD2 – DD4), КР1533ЛН8 (DD8) и КР1533ЛА7 (DD5 – DD6), представлена на рисунке 13.



Рисунке 13 - Генератор чисел на базе двоичного счетчика, построенного на базеD-триггеров, с преобразователем кодов на «монтажном ИЛИ»

Выходные сигналы Z1 и Z2 снимаются с микросхем КР1533ЛА7, выходные характеристики которых удовлетворяет требованиям ТЗ к выходным сигналам ГЧ.

Время формирования выходных сигналов ГЧ и задержка переключения ГЧ по входу «С» равны tзд.(КР1533ТМ8) по входу «С» + tзд.(КР1533ЛА7) =17+45 (нс) =62нс.

Рассмотренный вариант построения схемы ГЧ не удовлетворяет требованиям Т.З. по быстродействию, так как при переключении ГЧ по синхросигналу «С» его выходные сигналы не успеют сформироваться до прихода следующего синхросигнала (через 56нс).

**4.2.2.3. Генератор чисел на базе двоичного счетчика, построенного на базе D – триггеров, с преобразователем кодов на мультиплексорах с двумя адресными входами.**

Таблица истинности для преобразователя кодов, реализующего выходные функции ГЧ в зависимости от значений счетчика и заданного режима работы приведена в таблице 12.

Таблица 12.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| А1(Q1) | A0(Q2) | Q3 | М | Z2 | Входы | Сигнал | Z1 | Входы | Сигнал |
| 0  0  0  0 | 0  0  0  0 | 0  0  1  1 | 0  1  0  1 | 1  0  1  1 | B0 |  | 0  0  1  1 | D0 |  |
| 0  0  0  0 | 1  1  1  1 | 0  0  1  1 | 0  1  0  1 | 0  1  -  - | B1 |  | 1  0  -  - | D1 |  |
| 1  1  1  1 | 0  0  0  0 | 0  0  1  1 | 0  1  0  1 | 1  0  0  0 | B2 |  | 0  1  1  0 | D2 |  |
| 1  1  1  1 | 1  1  1  1 | 0  0  1  1 | 0  1  0  1 | 0  1  -  - | B3 |  | 1  1  -  - | D3 |  |

Воспользуемся в качестве основы для построения ГЧ представленным на рисунке 10 двоичным счетчиком на базе D-триггеров, имеющим парафазные выходы. Для построения схемы ГЧ на базе двоичного счетчика спреобразователем кодов на мультиплексорах с двумя адресными входами, представленной на рисунке 14, использованы микросхемы КР1533ТМ8 (DD2), КР1533ЛЕ10 (DD6), КР1533ЛА24 (DD3 – DD5) и КР1533КП2 (DD1).

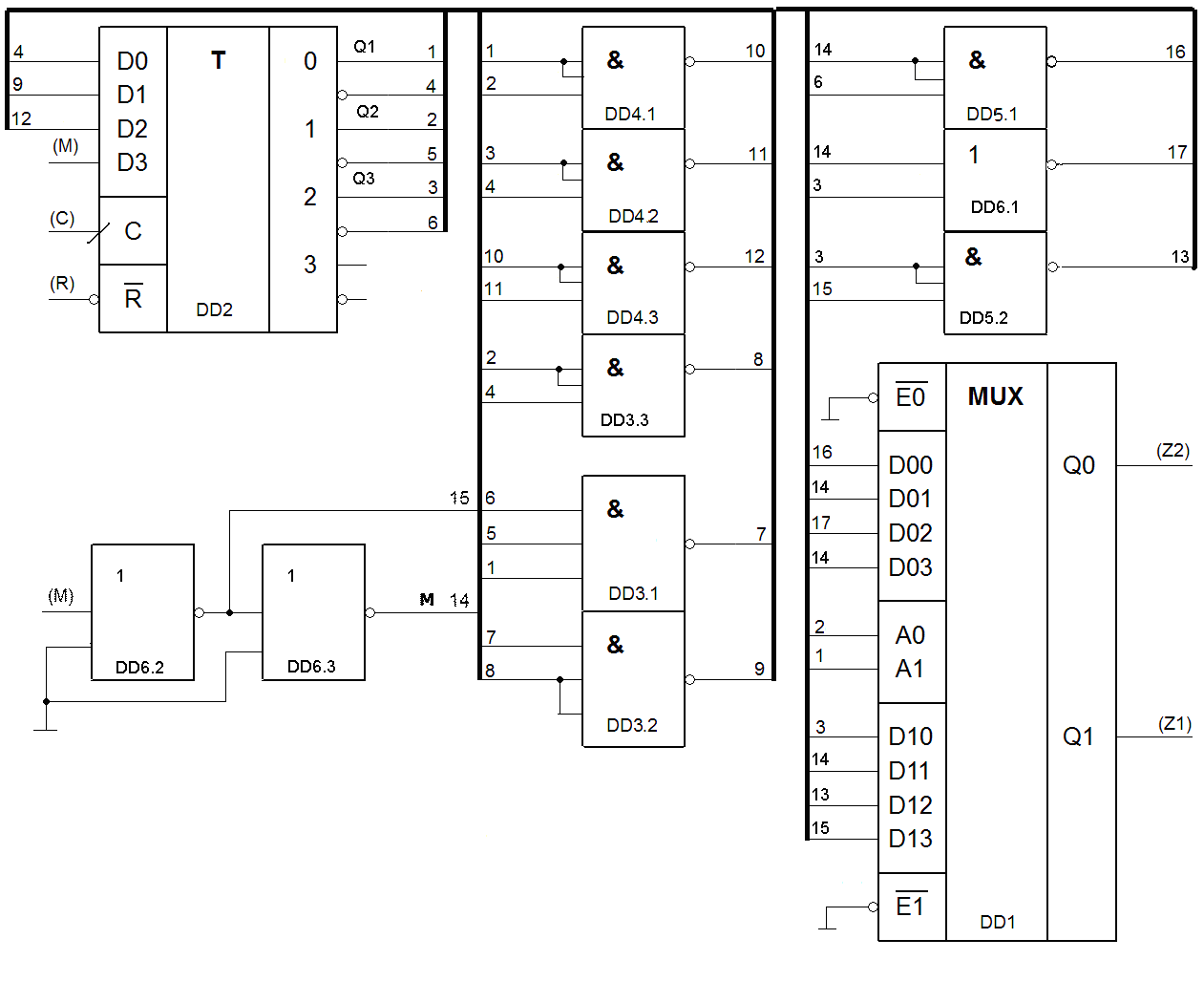


Рисунок 14 - Генератор чисел на базе двоичного счетчика, построенного на базе D-триггеров,с преобразователем кодов на мультиплексорах с двумя адреснымивходами

Выходные сигналы Z1 и Z2 снимаются с микросхемы КР1533КП2, выходные характеристики которых удовлетворяет требованиям ТЗ к выходным сигналам ГЧ.

Задержка переключения и формирования выходных сигналов ГЧ по входу «С» равна tпер.(КР1533ТМ8)+tпер.(КР1533ЛЕ10)+tпер.(КР1533КП2) =17+8+21(нс) =46нс.

Потребляемая мощность: Р =Ucc\*(1\*Icc(КР1533ТМ8) + 1\*Icc(КР1533ЛЕ10) + 3\*Icc(КР1533ЛА24) + 1\*Icc(КР1533КП2) + 1\*Icc(КР1533ЛН8) ) = 5,5\*(1\*19+1\*22+3\*5,8+1\*14)= 398,2 мВт

Количество ИМС, использованных в составе схемы – 6 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, составит 14 шт.

Данный вариант не удовлетворяет требованиям ТЗ по потребляемой мощности.

Попытаемся снизить мощность, потребляемую схемой, за счет замены части микросхем схемы более экономичными микросхемами. Частичной экономии потребляемой мощности можно достигнуть, построив комбинационную схему счетчика с помощью микросхем КР1533ЛА3 и КР1533ЛА4 вместо микросхем КР1533ЛА24. При этом время переключения счетчика по входу «С» возрастет на 6нс и составит 52нс, что вполне приемлемо, так как полученное значение не превышает Т (56нс).

Однако для требуемого снижения мощности этого недостаточно. Поэтому придется частично пожертвовать задержкой формирования выходных сигналов ГЧ, заменив микросхему КР1533ЛЕ10 на микросхему КР1533ЛИ8. В результате получим схему ГЧ, представленную на рисунке 15, в которой использованы микросхемы КР1533ТМ8 (DD2), КР1533ЛИ8 (DD6), КР1533ЛА24 (DD5), КР1533КП2 (DD1), КР1533ЛА3 (DD4) и КР1533ЛА4 (DD3).

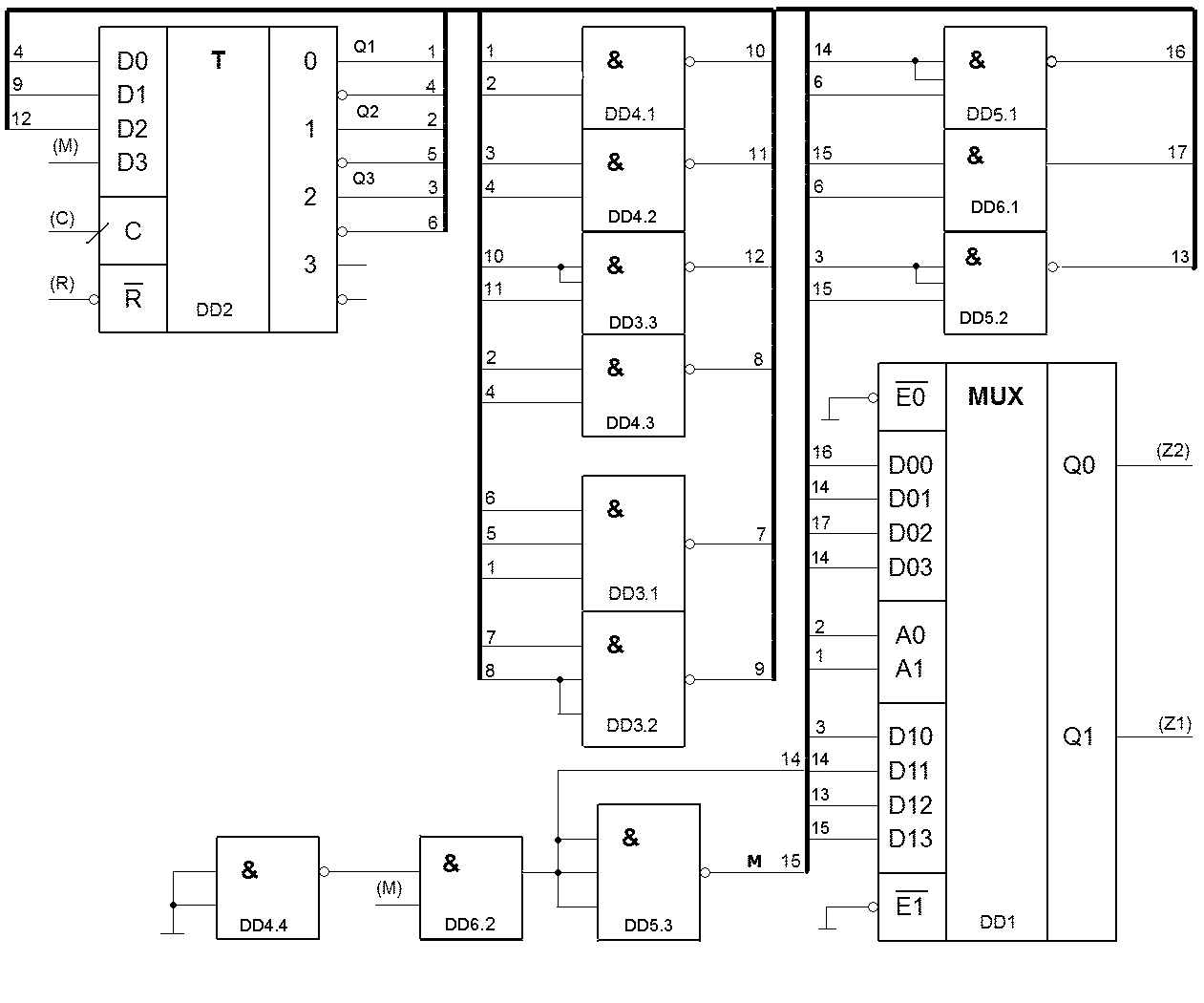


Рисунок 15 - Генератор чисел на базе двоичного счетчика, построенного на базе D-триггеров, с преобразователем кодов на мультиплексорах с двумя адресными входами с уменьшенной потребляемой мощностью

Выходные сигналы Z1 и Z2 снимаются с микросхемы DD1 (КР1533КП2), выходные характеристики которых удовлетворяет требованиям ТЗ к выходным сигналам ГЧ.

Задержка формирования выходных сигналов ГЧ по входу «С» (Tформ.С) равна tпер(КР1533ТМ8) по входу «С» +tпер.(КР1533ЛИ8)+tпер.(КР1533КП2) =17+9+21=47нс.

Длительность выходных сигналов ГЧ при его переключении по входу «С» будет равна Т-Тформ.С=56-47 (нс)= 9нс.

Задержка переключения ГЧ по входу «С» равна tпер(КР1533ТМ8) по входу «С» +tпер.(КР1533ЛА3) +tпер.(КР1533ЛА4) +время опережения установки сигнала по входам D относительно переднего фронта сигнала «С» =17+11+11+10 (нс) =49нс.

Поскольку суммарная задержка элементов DD6.2 и DD5.3 составляет 22нс, что меньше времени переключения микросхемы КР1533ТМ8 по входу «R» (23нс), эта задержка не является определяющей при определении задержки переключения и формирования выходных сигналов ГЧ по входу R. Поэтому задержка формирования выходных сигналов ГЧ по входу «R» (Tформ.R) равна tпер.(КР1533ТМ8) по входу «R» +tпер.(КР1533ЛИ8) +tпер.(КР1533КП2) =23+9+21 (нс) =53нс. А задержка переключения ГЧ по входу «R» равна tпер.(КР1533ТМ8) по входу «R» +tпер.(КР1533ЛА3) +tпер.(КР1533ЛА4) +время опережения установки сигнала по входам D относительно переднего фронта сигнала «С» =23+11+11+10 (нс) =55нс.

Длительность выходных сигналов ГЧ при его переключении по входу «R» будет равна 1,5Т-Тформ.R =84-53 (нс)= 31нс.

Таким образом, минимальная длительность выходных сигналов ГЧ равна 9нс.

Потребляемая мощность: Р =Ucc\*(1\*Icc(КР1533ТМ8) + 1\*Icc(КР1533ЛА3) +1\*Icc(КР1533ЛИ8) + 1\*Icc(КР1533ЛА24) + 1\*Icc(КР1533ЛА4) +1\*Icc(КР1533КП2) ) = 5,5\*(1\*19+1\*3+1\*9,3+1\*5,8+1\*2,2+1\*14)= 293,15мВт

Количество ИМС, использованных в составе схемы – 6 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, составит 14 шт.

Таким образом, рассмотренная схема удовлетворяет всем требованиям ТЗ, хотя и уступает (по длительности выходных сигналов) ГЧ на базе счетчика Джонсона, построенного на D-триггерах с преобразователем кода Джонсона на элементах И-НЕ.

**4.2.2.4. Генератор чисел на базе двоичного счетчика, построенного на базе D – триггеров, с преобразователем кодов на мультиплексорах с тремя адресными входами.**

Поскольку задержка преобразователя кодов, построенного на элементах И-НЕ в разделе 4.2.2.1 (16 нс) меньше задержки любой микросхемы мультиплексора с тремя адресными входами из состава серии микросхем К1533 (их минимальная задержка 24 нс), то рассматривать данный способ реализации схемы ГЧ не имеет смысла.

**4.2.2.5. Генератор чисел на базе двоичного счетчика, построенного на базе D – триггеров, с преобразователем кодов на элементах И-ИЛИ-НЕ.**

Поскольку задержка преобразователя кодов, построенного на элементах И-НЕ в разделе 4.2.2.1 (16 нс) меньше задержки любой микросхемы с элементами И-ИЛИ-НЕ из состава серии микросхем К1533 (их минимальная задержка 20 нс), то рассматривать данный способ реализации схемы ГЧ не имеет смысла.

**4.3. Генератор чисел на базе кольцевого счетчика**

**4.3.1. Варианты построение кольцевого счетчика и выбор оптимального в соответствии с критерием оптимизации.**

**4.3.1.1. Построение кольцевого счетчика на базе сдвигового регистра, в качестве которого использована СИС.**

Построим кольцевой счетчик на базе микросхемы КР1533ИР13, которая представляет собой восьмиразрядный сдвиговый регистр. Так как длина последовательности чисел L = 6, разрядная сетка (при использовании сдвига вправо) имеет вид, изображенный на рисунке 16.

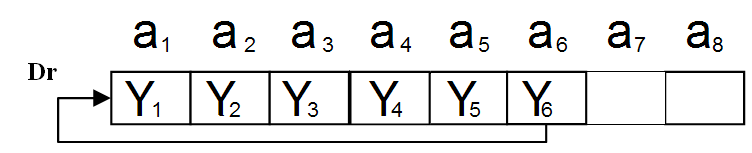
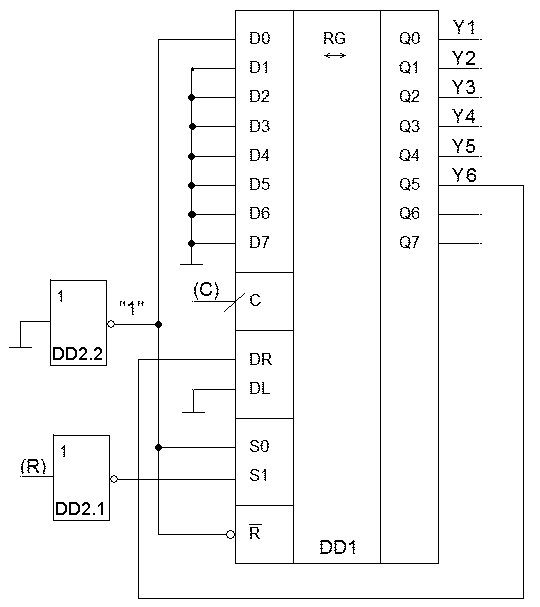


Рисунок 16 - Разрядная сетка

Схема кольцевого счетчика на базе сдвигового регистра КР1533 ИР13 (DD1) и инвертора КР1533ЛН8 (DD2) представлена на рисунке 17.



**Y4**

Рисунок 17 - Кольцевой счетчик на базе сдвигового регистра, в качестве которого использована СИС КР1533ИР13

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Анализ временных параметров этой схемы показывает, что она не обеспечивает надежного срабатывания по сигналу «R». Это связано с тем, что время предустановки сигнала на входе «S1» микросхемы DD1 относительно переднего фронта сигнала «С» должно быть не менее 30нс. Однако, если передний фронт сигнала «С» прейдет через 28-37 нс после начала сигнала «R», то задержанный на 7 нс инвертором DD2.1 сигнал «R» на момент прихода этого фронта еще не простоит на входе «S1» 30нс, что может привести к тому, что микросхема DD1 вместо начальной установки выполнит сдвиг.

**4.3.1.2. Построение кольцевого счетчика на базе сдвигового регистра, построенного на D-триггерах.**

Так как длина нашей последовательности равна 6, то для проектирования кольцевого счетчика на базе триггеров воспользуемся микросхемой КР1533ТМ9, которая обладает максимальным быстродействием среди D-триггеров серии КР1533 и представляет собой шесть триггеров D -типа с прямыми выходами, что соответствует длине нашей последовательности. Схема кольцевого счетчика, построенная на базе микросхем КР1533ТМ9 (DD1) и КР1533ЛН8 (DD2) представлена на рисунке 18.

Поскольку используемая микросхема триггера обеспечивает только асинхронный сброс всех разрядов, в качестве младшего разряда кольцевого счетчика (Y1) будем использовать инвертированное значение младшего разряда микросхемы DD1 (Q0). Тогда при подаче сигнала «R» первый разряд кольцевого счетчика (Y1) установится в состояние «1», а остальные разряды (Y2-Y6) в состояние «0».

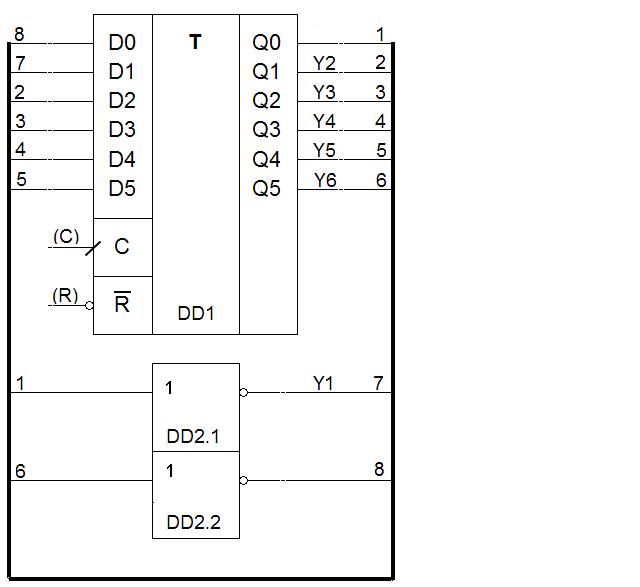


Рисунок 18 - Кольцевой счетчик на базе D-триггеров

Временная диаграмма работы кольцевого счетчика на базе D – триггеров после установки в исходное состояние представлена на рисунке 19.

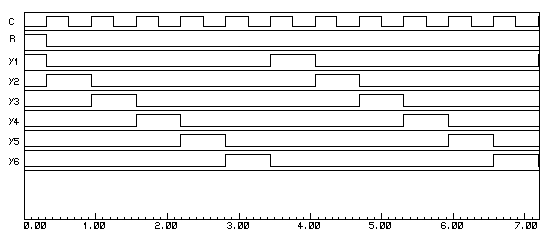


Рисунок 19 - Временная диаграмма работы кольцевого счетчика на базе

D – триггеров после установки в исходное состояние

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R )= 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала:

Iвх1( С ) = 0,02мА, Iвх0( С ) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов счетчика по входу «R» (Tформ.R) равно tзд.(КР1533ТМ9) по входу «R» + tзд.(КР1533 ЛН8)+ tзд(КР1533ЛА24) =23+77 (нс) =30 нс.

Время формирования выходных сигналов счетчика по входу «С» (Tформ.С) равно tзд.(КР1533ТМ9) по входу «С» + tзд.(КР1533 ЛН8)+ tзд.(КР1533ЛА24) =17+7 (нс) =24 нс.

Задержка переключения счетчика по входу «R» (Tпер.R) равна tзд.(КР1533ТМ9) по входу «R» + tзд.(КР1533 ЛН8)+ tзд.(КР1533ЛА24) +время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С» =23+7+10 (нс) =40 нс.

Задержка переключения счетчика по входу «С» (Tпер.С) равна tзд.(КР1533ТМ9) по входу «С» + tзд.(КР1533 ЛН8)+ tзд.(КР1533ЛА24).+время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С» =17+7+10 (нс) =34нс.

Для увеличения быстродействия кольцевого счетчика вместо ИМС КР1533ТМ9 можно попробовать воспользоваться двумя ИМС КР1533ТМ8, которые представляют собой четыре D-триггера с прямыми и инверсными выходами. При использовании этих триггеров нет необходимости пропускать выходные сигналы через инверторы. Данная схема представлена на рисунке 20.

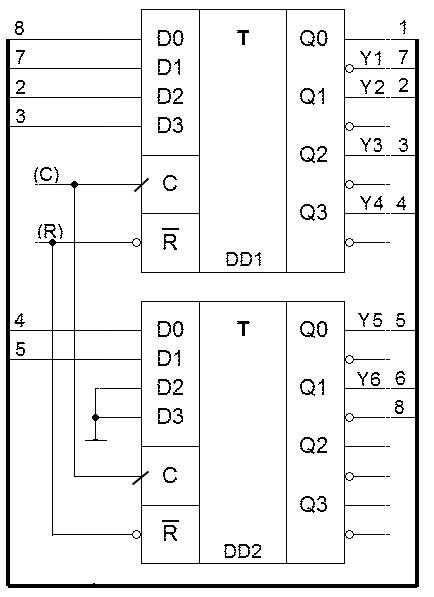
****

Рисунок 20 - Кольцевой счетчик на базе D-триггеров с увеличенным быстродействием

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R )= 0,04мА, Iвх0( R ) = 0,2мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,04мА, Iвх0( С ) = 0,2мА.

Данная схема не удовлетворяет условиям ТЗ по нагрузке по току на источники входных сигналов ГЧ. Для того, что бы нагрузка по току удовлетворяла ТЗ, пропустим входные сигналы через усилители тока, в качестве которых будем использовать инверторы микросхемы КР1533ЛН8, являющиеся самыми быстродействующими из элементов серии КР1533. Схема такого кольцевого счетчика показана на рисунке 21.

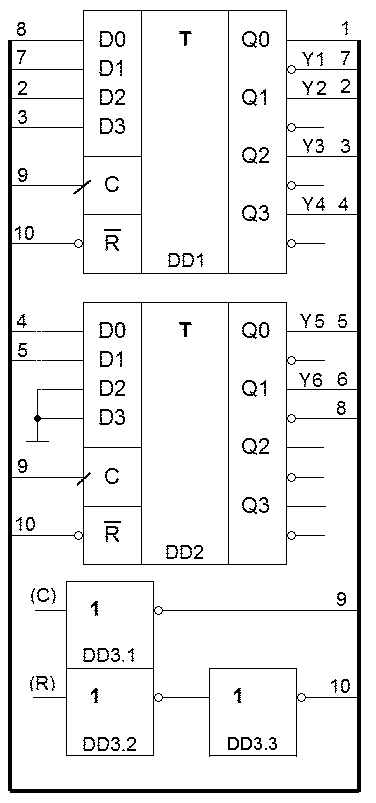
****

Рисунок 21 - Схема кольцевой счетчика на базе D-триггеров, согласованная по входному току

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R )= 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала:

Iвх1( С ) = 0,02мА, Iвх0( С ) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов счетчика по входу «R» (Tформ.R) равно tзд.0-1 (КР1533ЛН8) + tзд.1-0 (КР1533ЛН8) + tзд.(КР1533ТМ8) по входу «R» = 7+6+23 (нс) =38нс.

Время формирования выходных сигналов счетчика по входу «С» (Tформ.С) равно tзд.0-1 (КР1533ЛН8) + tзд.(КР1533ТМ8) по входу «С» = =7+17 (нс) =24нс.

Задержка переключения счетчика по входу «R» (Tпер.R) равна Tформ.R +время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С»=38+10 (нс) =48 нс.

Задержка переключения счетчика по входу «С» (Tпер.С) равна Tформ.С +время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С»=24+10 (нс) =34нс.

**4.3.1.3. Построение кольцевого счетчика на базе счетчика Джонсона с дешифратором кода Джонсона.**

В качестве основы для построения рассматриваемого типа кольцевого счетчика целесообразно использовать ранее разработанную оптимальную схему счетчика Джонсона, представленную на рисунке 4. Таблица истинности для дешифратора кода Джонсона представлена в таблице 13.

Таблица 13.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| N-такта  (число) | Состояние | | | Кольцевой счетчик | | | | | |
| Q1 | Q2 | Q3 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 1 | 1 | 0 | 0 | 1 | 0 | 0 | 0 |
| 3 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 4 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | \* |
| 1 | 0 | \* | 0 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | \* |
| 1 | 0 | \* | 0 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | \* |
| 1 | 0 | \* | 0 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | \* |
| 1 | 0 | \* | 1 | 0 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | \* |
| 1 | 0 | \* | 0 | 1 |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q1 \ Q2 Q3 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | \* |
| 1 | 1 | \* | 0 | 0 |



Поскольку быстродействие логических элементов «И» серии К1533 ниже, чем у 2-входовых элементов «ИЛИ-НЕ», преобразуем полученные выражения в базис «ИЛИ-НЕ».













Схема кольцевого счетчика на базе счетчика Джонсона (представленного на рисунке 4) с дешифратором кода Джонсона, собранная на микросхемах КР1533ТМ8 (DD1) и КР1533ЛЕ10 (DD2 –DD3) представлена на рисунке 22.

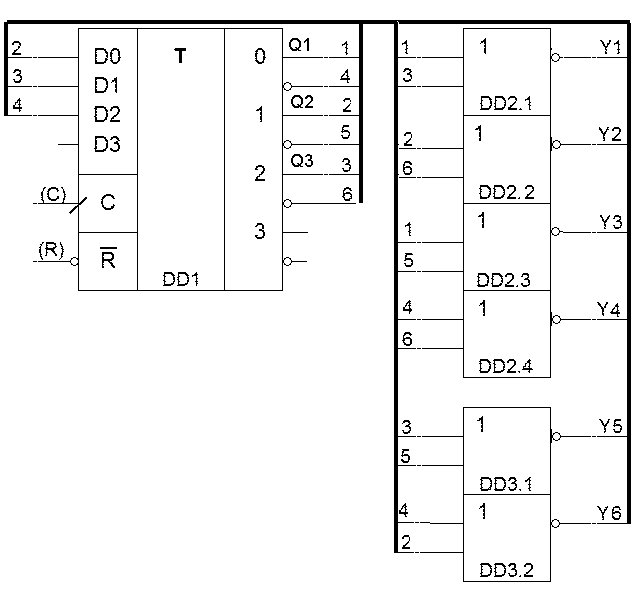


Рисунок 22 - Кольцевой счетчик на базе счетчика Джонсона с дешифратором кода Джонсона

Нагрузка по току со стороны источника входного сигнала начальной установки:

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного сигнала синхроимпульса:

Iвх1( С ) = 0,02мА, Iвх0( С ) = 0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов счетчика по входу «R» (Tформ.R) равно tзд.(КР1533ТМ8) по входу «R» + tзд.(КР1533ЛЕ10) =23+8 (нс) =31 нс.

Время формирования выходных сигналов счетчика по входу «С» (Tформ.С) равно tзд.(КР1533ТМ8) по входу «С» + tзд.(КР1533ЛЕ10) =17+8 (нс) =25 нс.

Задержка переключения счетчика по входу «R» (Tпер.R) равна tзд.(КР1533ТМ8) по входу «R» +время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С» =23+10 (нс) =33 нс.

Задержка переключения счетчика по входу «С» (Tпер.С) равна tзд(КР1533ТМ8) по входу «С» +время предустановки сигналов на входах «D» микросхемы DD1 относительно переднего фронта сигнала «С» =17+10 (нс) =27 нс.

**4.3.1.4. Построение кольцевого счетчика на базе двоичного счетчика с дешифратором.**

Таблица истинности для дешифратора двоичного кода, формируемого счетчиком, представлена в таблице 14. Поскольку данный дешифратор является неполным, его выходные функции могут быть минимизированы.

Таблица 14.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| N-такта  (число) | Состояние  дв. cчетчика | | | Выходы  кольцевого счетчика | | | | | |
|  | Q3 | Q2 | Q1 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 |
| 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 0 |
| 3 | 0 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 |
| 4 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 5 | 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 |
| 6 | 1 | 1 | 0 | \* | \* | \* | \* | \* | \* |
| 7 | 1 | 1 | 1 | \* | \* | \* | \* | \* | \* |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | \* | \* |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Q3 \ Q2 Q1 | 00 | 01 | 11 | 10 |
| 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | \* | \* |



Поскольку полученные функции содержат как прямые, так и инверсные значения входных переменных, воспользуемся в качестве основы для построения кольцевого счетчика двоичным счетчиком на базе D-триггеров, имеющим парафазные выходы, схема которого представлена на рисунке 10. Схема такого кольцевого счетчика, построенного на ИМС КР1533ТМ8 (DD1), КР1533ЛА24 (DD2 – DD3) и КР1533ЛИ10 (DD4 – DD5), представлена на

рисунке 23.

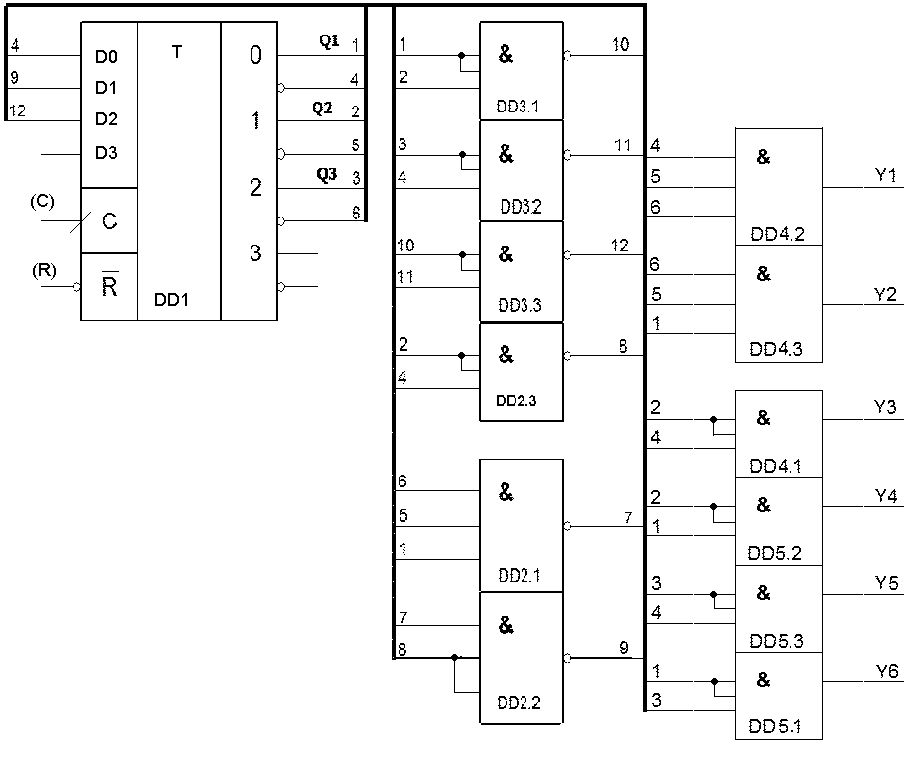


Рисунок 23 - Кольцевой счетчик на базе двоичного счетчика с дешифратором

Нагрузка по току со стороны источника входного сигнала начальной установки (R):

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала (С):

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов кольцевого счетчика по входу «R» (Tформ.R) равно tзд.(КР1533ТМ8) по входу «R» + tзд.(КР1533ЛИ10) =23нс+10нс =33 нс.

Время формирования выходных сигналов кольцевого счетчика по входу «С» (Tформ.С) равно tзд.(КР1533ТМ8) по входу «С» + tзд.(КР1533 ЛИ10) =17+10 (нс) =27нс.

Использование готовых дешифраторов из состава серии микросхем КР1533 не дает преимуществ по быстродействию, так как наиболее быстродействующая из микросхем дешифраторов на 3 входа имеет задержку не менее 22 нс.

Время переключения кольцевого счетчика равно времени переключения двоичного счетчика, на основе которого построен кольцевой счетчик, и составляет 49нс при переключении по входу «R» и 43нс при переключении по входу «С».

**4.3.1.6. Выбор способа построения кольцевого счетчика**

Параметры кольцевых счетчиков, разработанных различными способами представлены в таблице 15.

Таблица 15.

|  |  |  |  |
| --- | --- | --- | --- |
| **Метод построения кольцевого счетчика** | **Тформ.R** | **Тформ.C** | **Парафазный выход** |
| Кольцевой счетчик на базе сдвигового регистра на D – триггерах, с использованием ИМС К1533ТМ9 | 30 нс. | 24 нс. | Нет |
| Кольцевой счетчик на базе сдвигового регистра на D – триггерах, с использованием ИМС К1533ТМ8 | 38 нс. | 24 нс. | Да |
| Кольцевой счетчик на базе счетчика Джонсона, с дешифратором кода Джонсона | 31 нс. | 25 нс. | Нет |
| Кольцевой счетчик на базе двоичного счетчика с дешифратором | 33 нс. | 27 нс. | Нет |

Из таблицы следует, что наиболее подходящими по быстродействию являются кольцевые счетчики на базе сдвигового регистра с использованием ИМС КР1533ТМ9 и с использованием ИМС КР1533ТМ8. Однако, в связи с тем, что кольцевой счетчик на базе сдвигового регистра с использованием ИМС КР1533ТМ8 имеет парафазные выходы, это может дать ему дополнительные преимущества при построении преобразователя кодов, позволяющие экономить как минимум 7 нс на задержке инверторов.

**4.3.2. Построение генератора чисел на базе кольцевого счетчика.**

**4.3.2.1. Генератор чисел на базе кольцевого счетчика с преобразователем кодов на элементах И–НЕ**

Таблица соответствий выходов кольцевого счетчика формируемым числам представлена в таблице 16.

Таблица 16

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Режим | M=0 | | | | | | M=1 | | | | | |
|  | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 |
| 10-е число | **2** | **3** | **0** | **1** | **3** | **0** | **0** | **1** | **3** | **2** | **3** | **1** |
| Z1 | 0 | **1** | 0 | **1** | **1** | 0 | 0 | **1** | **1** | 0 | **1** | **1** |
| Z2 | **1** | **1** | 0 | 0 | **1** | 0 | 0 | 0 | **1** | **1** | **1** | 0 |

Из таблицы следует, что выражения для выходных функций ГЧ (Z1 и Z2) будут иметь следующий вид:





Для реализации полученных булевых функций требуются логические элементы «И-НЕ» с количеством входов не менее 5. В качестве таких элементов можно использовать только 8-входовые элементы «И-НЕ» микросхемы КР1533ЛА2. К недостаткам этих элементов можно отнести большую задержку (20 нс) и небольшой выходной ток, требующий применения на выходах этой микросхемы (для обеспечения заданного в ТЗ значения выходного тока ГЧ) дополнительного буферного усилителя тока КР1533 ЛП16, что увеличит задержку преобразователя кодов еще на 8 нс. В связи с этим, для повышения быстродействия вместо микросхемы КР1533ЛА2 целесообразно использовать каскад из логических элементов «2И» микросхемы КР1533 ЛИ8 с задержкой 9 нс и логических элементов с повышенной нагрузочной способностью «4И-НЕ» микросхемы КР1533 ЛА22 с задержкой 8 нс. Такая замена обеспечит снижение общей задержки выходных каскадов схемы с 28 нс до 17 нс. Для этой замены функции Z1 и Z2 следует представить в следующем виде:





Поскольку полученные функции содержат как прямые, так и инверсные значения входных переменных Yi, для обеспечения максимального быстродействия воспользуемся в качестве основы для построения ГЧ кольцевым счетчиком на базе сдвигового регистра с использованием ИМС К1533ТМ8, имеющим парафазные выходы, схема которого была приведена на рисунке 21.

Такая схема ГЧ на базе кольцевого счетчика с преобразователем кодов c применением логических элементов «И-НЕ» и «И», построенная на микросхемах КР1533ТМ8 (DD1 –DD2), КР1533ЛИ8 (DD3), КР1533ЛА24 (DD4 –DD5), КР1533ЛА22 (DD7) и КР1533ЛН8 (DD6) представлена на рисунке 24.

Время переключения ГЧ по входу «С» (Тпер.С) и время формирования выходных сигналов ГЧ по входу «С» (Тформ.С) равно tзд.0-1 (КР1533ЛН8) + tзд.(КР1533ТМ8) по входу «С» +tзд.(КР1533ЛА24) +tзд.(КР1533ЛИ8) + tзд.(КР1533ЛА22) = 7+17+8+9+8 (нс) =49нс.

Время переключения ГЧ по входу «R» (Тпер.R) и время формирования выходных сигналов ГЧ по входу «R» (Тформ.R) равно tзд.0-1 (КР1533ЛН8) + tзд.1-0 (КР1533ЛН8) + tзд.(КР1533ТМ8) по входу «R» +tзд.(КР1533ЛА24) +tзд.(КР1533ЛИ8) + tзд.(КР1533ЛА22) = 7+6+23+8+9+8 (нс) =61нс.

Длительность выходных сигналов ГЧ при его переключении по входу «С» будет равна Т-Тформ.С =56нс-49нс=7нс.

Длительность выходных сигналов ГЧ при его переключении по входу «R» будет равна 1,5\*Т-Тформ.R =79нс-61нс=18нс.

Таким образом, минимальная длительность выходных сигналов ГЧ составит 7нс.

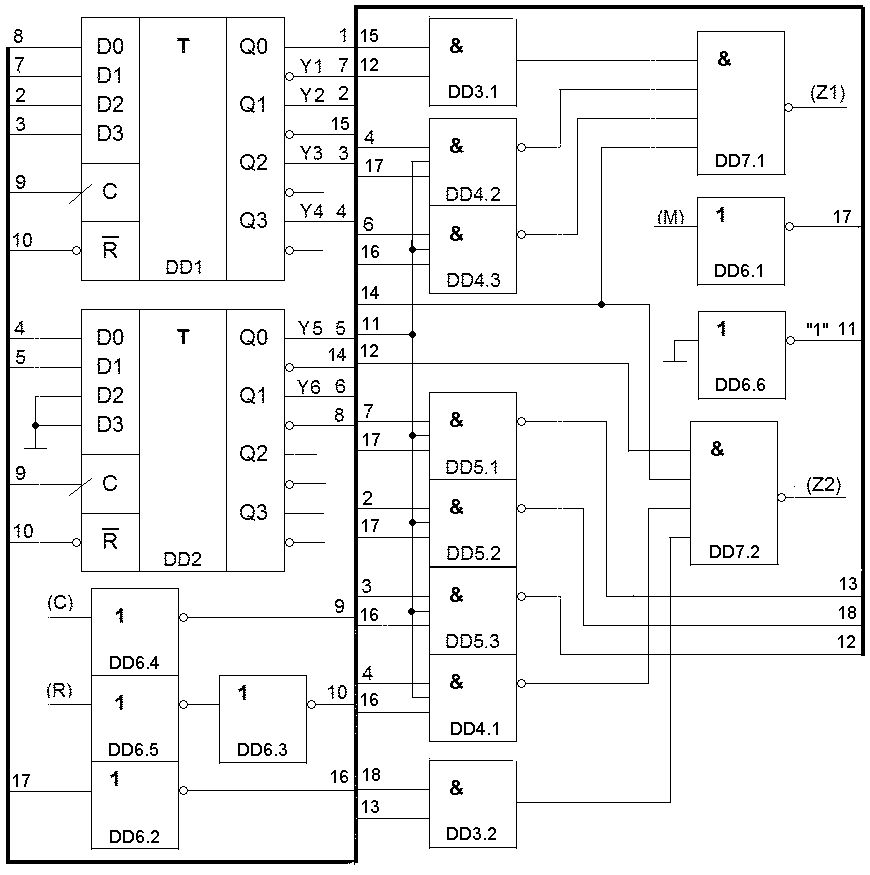


Рисунок 24 - Генератор чисел на базе кольцевого счетчика с преобразователем кодов на элементах «И–НЕ»

Временная диаграмма работы генератора чисел приведена на рисунке 25.

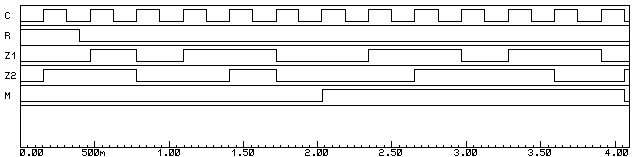


Рисунок 25 - Временная диаграмма работы генератора чисел

Потребляемая мощность: Р =Ucc\*(2\*Icc(КР1533ТМ8) + 1\*Icc(КР1533ЛИ8) + 1\*Icc(КР1533ЛА22) + 2\*Icc(КР1533ЛА24) + 1\*Icc(КР1533ЛН8)) =5,5\*(2\*14+1\*9,3 +1\*3,9+2\*5,8+1\*12)= 356,4 мВт.

Рассмотренный вариант не отвечает требованиям ТЗ по потребляемой мощности, однако имеющийся незначительный запас по быстродействию (2нс) позволяет сделать попытку снижения потребляемой мощности за счет замены части использованных микросхем на более экономичные микросхемы.

Наименьший проигрыш по быстродействию обеспечивает замена триггеров микросхемы КР1533ТМ8 на триггеры микросхемы КР1533ТМ2.

В результате такой замены получилась схема ГЧ на базе кольцевого счетчика с преобразователем кодов c применением логических элементов «И-НЕ» и «И», построенная на микросхемах КР1533ТМ2 (DD1 –DD2, DD8), КР1533ЛИ8 (DD3), КР1533ЛА3 (DD4 –DD5), КР1533ЛА8 (DD6) и КР1533ЛА22 (DD7), представленная на рисунке 26.

Выходные сигналы Z1 и Z2 снимаются с микросхемы КР1533ЛА22 (DD7), выходной ток которой составляет не менее 30мА, что удовлетворяет условию ТЗ.

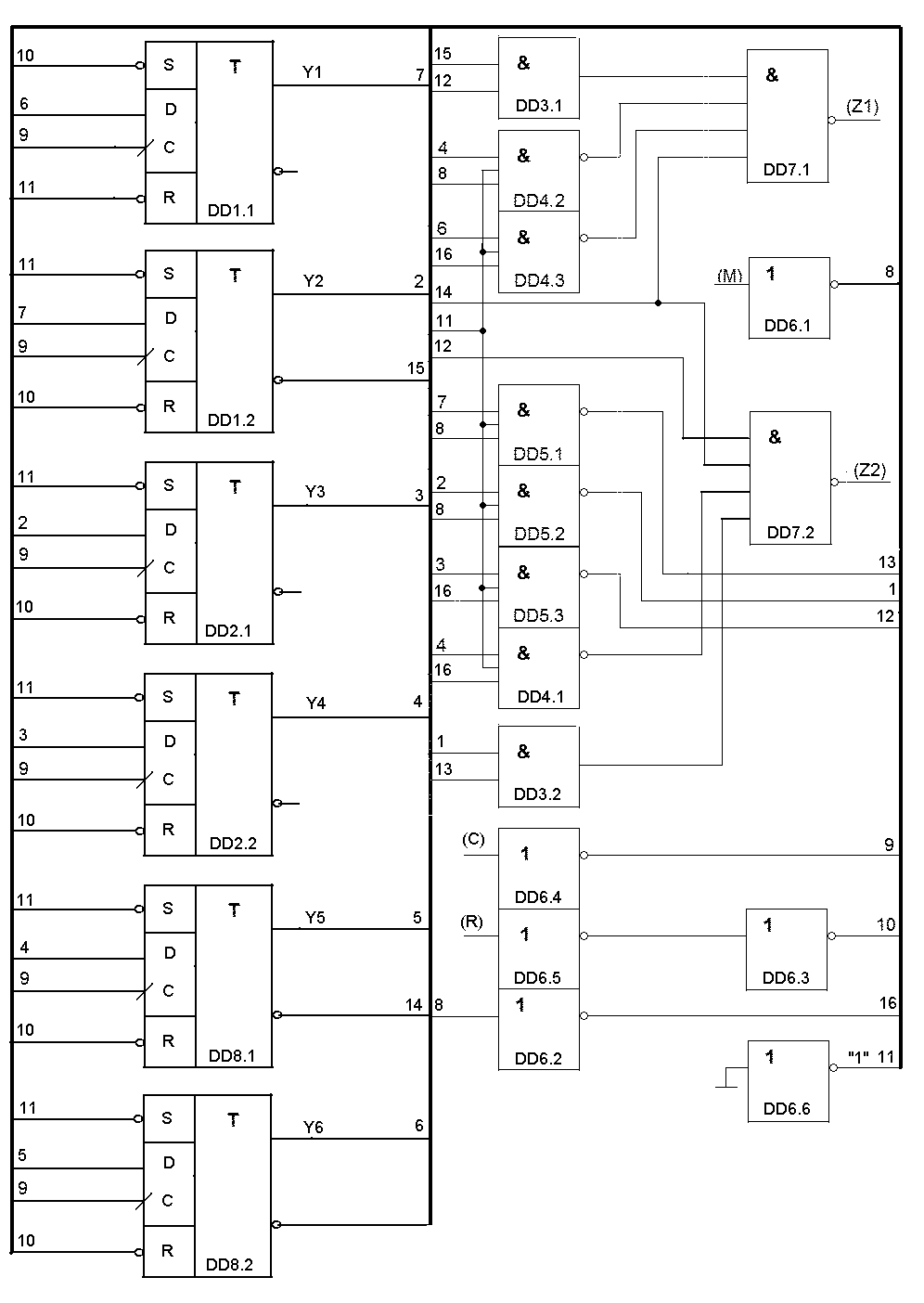
****

Рисунок 26 - Генератор чисел на базе кольцевого счетчика с преобразователем кодов на элементах «И–НЕ» с повышенным быстродействием

Время переключения ГЧ по входу «С» (Тпер.С) и время формирования выходных сигналов ГЧ по входу «С» (Тформ.С) равно tзд.0-1 (КР1533ЛН8) + tзд.(КР1533ТМ2) по входу «С» +tзд.(КР1533ЛА24) +tзд.(КР1533ЛИ8) + tзд.(КР1533ЛА22) = 7+19+8+9+8 (нс) =51нс.

Время переключения ГЧ по входу «R» (Тпер.R) и время формирования выходных сигналов ГЧ по входу «R» (Тформ.R) равно tзд.0-1 (КР1533ЛН8) + tзд.1-0 (КР1533ЛН8) + tзд.(КР1533ТМ2) по входу «R» +tзд.(КР1533ЛА24) +tзд.(КР1533ЛИ8) + tзд.(КР1533ЛА22) = 7+6+15+8+9+8 (нс) =48нс.

Длительность выходных сигналов ГЧ при его переключении по входу «С» будет равна Т-Тформ.С =56нс-51нс=5нс.

Длительность выходных сигналов ГЧ при его переключении по входу «R» будет равна 1,5\*Т-Тформ.R =79нс-48нс=31нс.

Таким образом, минимальная длительность выходных сигналов ГЧ составит 5нс.

Потребляемая мощность: Р =Ucc\*(3\*Icc(КР1533ТМ2) + 1\*Icc(КР1533ЛИ8) + 1\*Icc(КР1533ЛА22) + 2\*Icc(КР1533ЛА24) + 1\*Icc(КР1533ЛН8)) =5,5\*(3\*4+1\*9,3 +1\*3,9+2\*5,8+1\*12)= 268,4мВт

Количество ИМС, использованных в составе схемы – 8 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, составит 18 шт.

Таким образом, рассмотренная схема удовлетворяет всем требованиям ТЗ, хотя и уступает (по длительности выходных сигналов) ГЧ на базе счетчика Джонсона, построенного на D-триггерах с преобразователем кода Джонсона на элементах И-НЕ.

**4.3.2.2. Генератор чисел на базе кольцевого счетчика с преобразователем кодов на «монтажном ИЛИ»**

Для построения схемы преобразователя кодов нам потребуются элементы «И-НЕ» с открытым коллектором. В серии К1533 среди элементов «И-НЕ» с открытым коллектором наименьшей задержкой сигнала обладает ИМС КР1533ЛА23 (33 нс). Но, даже если использовать для построения преобразователя кодов только эту микросхему и самый быстрый кольцевой счетчик, время формирования выходных сигналов ГЧ по входу «С» составит не менее Тформ.С кольцевого счетчика + tзд (КР1533ЛА23) =24нс +33нс =57нс, что не соответствует требованиям ТЗ по быстродействию, так как это превышает T (56нc).

**4.3.2.3. Генератор чисел на базе кольцевого счетчика с преобразователем кодов на логических элементах «И-ИЛИ-НЕ»**

Воспользовавшись табл.11, получим выражения для инверсных выходных функций ГЧ:





Для реализации полученной системы функций требуются элементы «И-ИЛИ-НЕ» с 5 конъюнктивными группами, отсутствующие в составе серии микросхем КР1533. Декомпозиция же полученных функций приведет к увеличению числа ступеней в схеме преобразователя кодов до двух. А так как минимальная задержка элемента «И-ИЛИ-НЕ» серии микросхем КР1533 составляет 20нс, задержка двухступенчатого преобразователя кодов уже будет составлять не менее 28 нс.

Таким образом, даже если использовать для построения преобразователя кодов самый быстрый кольцевой счетчик, время формирования выходных сигналов ГЧ составит не менее tзд.(кольцевого счетчика) + tзд.(преобразователя кодов) =24нс+28нс =52нс. При этом минимальная длительность его выходных сигналов (равная разности между периодом следования синхросигнала и задержкой формирования выходных сигналов) будет равна 56нс-52нс =4нс, что не удовлетворяет требованиям ТЗ (5нc).

**4.4. Генератор чисел на основе сдвигового регистра**

**4.4.1. Генератор чисел на основе сдвигового регистра построенного на СИС**

В данном методе необходимо разложить все числа двух последовательностей на разряды в виде двоичных последовательностей и реализовать каждую двоичную последовательность на отдельном циклическом сдвиговом регистре путем первоначальной загрузки двоичной последовательности в разрядную сетку регистра и дальнейшего сдвига последовательности в сторону разрядов первых чисел последовательности и считыванием этих разрядов. Эта методика наглядно демонстрирует схема сдвига разрядов с указанием исходных состояний разрядов регистров, представленная на рисунке 27.

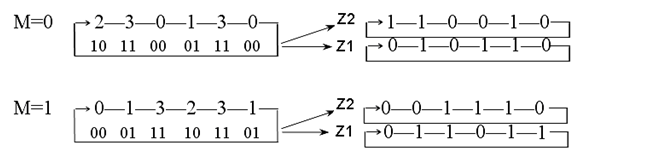


Рисунок 27 - Схема сдвига разрядов

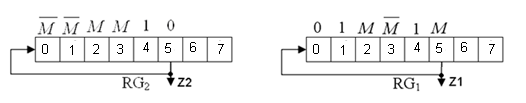
Для построения схемы такого ГЧ целесообразно воспользоваться микросхемами КР1533ИР13. При этом разрядная сетка ГЧ примет вид, представленный на рисунке 28. 

Рисунок 28 - Разрядная сетка ГЧ

Схема ГЧ, соответствующая рисунку 28, построенная на микросхемах КР1533ИР13 (DD1-DD2) и КР1533ЛН8 (DD3), представлена на рисунке 29.

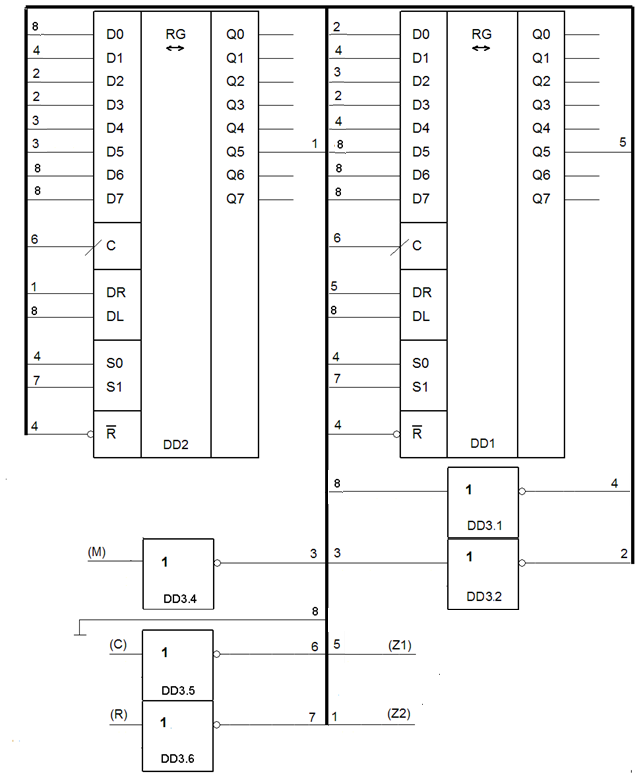


Рисунок 29 - ГЧ на базе сдвиговых регистров

Для формирования уровня логической «1» в схеме используется резистор номиналом 1 кОм, подключенный к источнику питания (Ucc).

Нагрузка по току со стороны источника входного сигнала начальной установки (R):

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала (С):

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

Нагрузка по току со стороны источника входного сигнала режима (М):

Iвх1( М ) = 0,02мА, Iвх0( М ) =0,1мА.

По входным сигналам данная схема удовлетворяет условиям ТЗ.

Время формирования выходных сигналов (по входу «С») равно tзд.0-1(КР1533ЛН8) +tзд.(КР1533ИР13)=7+25 (нс) = 32 нс.

Время переключения схемы и время формирования выходных сигналов (по входу «С») равно tзд.0-1(КР1533ЛН8) +tзд.(КР1533ИР13)+ «время опережения установки информации по D входу относительно фронта импульса на входе С»=7+25+15 (нс) = 47 нс.

Потребляемая мощность: Р = Ucc\*(2\*Icc(КР1533ИР13) + 1\*Icc(КР1533ЛН8) ) =5,5\*(2\*40+12)=5,5\*92 мВт =506мВт.

Данный вариант построения ГЧ не удовлетворяет условиям ТЗ по потребляемой мощности.

Замена микросхемы КР1533ИР13 на более экономичные микросхемы сдвиговых регистров (типа КР1533ИР16) меньшей разрядности не обеспечивает снижения потребляемой схемой мощности до значения, удовлетворяющего условиям ТЗ.

**4.4.1. Генератор чисел на основе сдвигового регистра построенного на триггерах**

В связи с тем, что начальное состояние сдвиговых регистров зависит от выбранного режима работы ГЧ, для построения схемы сдвиговых регистров можно использовать только триггеры со входами асинхронной установки в «0» и «1». Среди быстродействующих микросхем серии КР1533 этим требованиям отвечают микросхемы КР1533ТМ2 и КР1533ТB9. Несмотря на то, что быстродействие триггеров микросхемы КР1533ТМ2 несколько выше (при переключении по входу «С» на 1нс) по сравнению с микросхемой КР1533ТB9, использование микросхемы КР1533ТB9 более предпочтительно, так как она (в отличие от КР1533ТМ2) обеспечивает требования ТЗ по выходному току ГЧ. На выходы микросхемы КР1533ТМ2 пришлось бы ставить усилитель тока, который бы внес дополнительную задержку не менее 7нс. Поэтому для построения циклических сдвиговых регистров будем использовать JK-триггера микросхемы КР1533ТB9.

Схема сдвига разрядов с указанием исходных состояний триггеров представлена на рисунке 30.

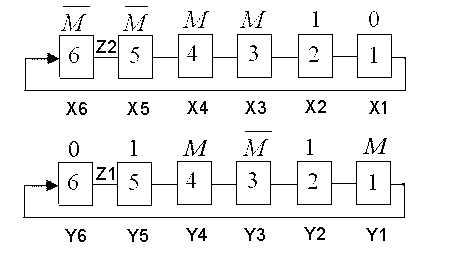
****

Рисунок 30 - Схема сдвига разрядов с указанием исходных состояний триггеров.

Схема ГЧ, соответствующая рис. 30, построенная на микросхемах КР1533ЛН8 (DD1), КР1533ЛА24 (DD2) и КР1533ТВ9 (DD3-DD8), представлена на рисунке 31.

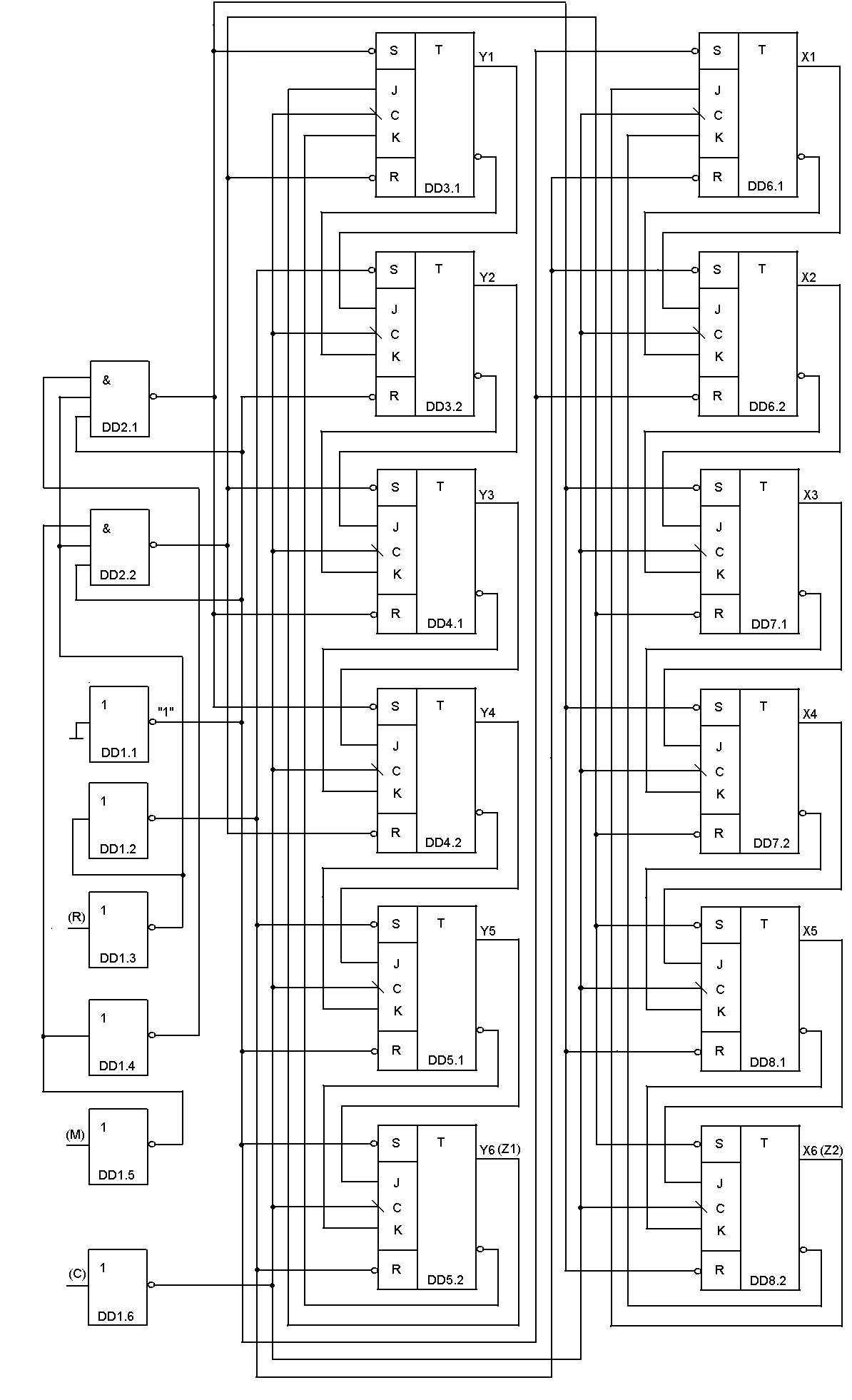


Рисунок 31 - Генератор чисел на основе сдвигового регистра построенного на триггерах

Нагрузка по току со стороны источника входного сигнала начальной установки (R):

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала (С):

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

Нагрузка по току со стороны источника входного сигнала режима (М):

Iвх1( М ) = 0,02мА, Iвх0( М ) =0,1мА.

Задержка формирования выходных сигналов схемы ГЧ по входу «С» (Tформ.С) будет равна tзд.1-0(КР1533ЛН8)+ tзд.(КР1533ТВ9) =6+19 (нc) =25 нс.

Общая задержка переключения параллельного ГЧ по входу «С» (Tпер.С), построенного на базе этих триггеров, будет равна tзд.1-0(КР1533ЛН8)+ tзд.(КР1533ТВ9) по входу «C» +время опережения установки информации по входам J и K относительно переднего фронта сигнала на входе «С» =6+19+22 (нc) =47 нс.

Задержка формирования выходных сигналов схемы параллельного ГЧ по входу «R» (Tформ.R) будет равна 2\*tзд.(КР1533ЛН8)+ tзд.(КР1533ЛА24)+ tзд.(КР1533ТB9) по входу «R» =2\*7 +8 +18 (нc) =40 нс.

Общая задержка переключения параллельного ГЧ по входу «R» (Tпер.R) будет равна 2tзд.(КР1533ЛН8)+ tзд.(КР1533ЛА24)+ tзд.(КР1533ТB9) +время опережения установки информации по входам J и K относительно заднего фронта сигнала на входе «С» =2\*7 +8 +18 +22 (нc) =62 нс.

Длительность выходных сигналов ГЧ при переключении от сигнала «R» равна 1,5Т –Тформ.R =84нс -40нс =44нс.

Длительность выходных сигналов ГЧ при переключении от сигнала «С» равна Т –Тформ.C =56нс -25нс =31нс.

Таким образом, минимальная длительность выходных сигналов ГЧ составляет 31нс.

Общая потребляемая мощность схемы параллельного ГЧ будет равна Ucc\* ( 6\*Icc(КР1533ТВ9) + 1\*Icc(КР1533ЛА24) + 1\*Icc(КР1533ЛН8) =5,5\*(6\*4,5 +1\*5,8 +1\*12)мВт =246,4мВт.

Количество ИМС, использованных в составе схемы ГЧ - 8 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, – 18 шт.

Таким образом, рассмотренный способ построения ГЧ удовлетворяет всем требованиям ТЗ и опережает по быстродействию все (из удовлетворяющих условиям ТЗ) ранее рассмотренные схемы ГЧ.

**4.5. Параллельный генератор чисел на базе триггеров.**

**4.5.1 Параллельный генератор чисел на базе D – триггеров.**

Таблица переходов параллельного ГЧ и функций возбуждения D-триггеров представлена в табл. 17.

Таблица 17.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **M** | **10-e** | **Q3 (Z2)** | **Q2 (Z1)** | **Q1** | **10-е** | **Q3** | **Q2** | **Q1** | **D3** | **D2** | **D1** |
| 0 | 2 | 1 | 0 | 0 | 3 | 1 | 1 | 0 | 1 | 1 | 0 |
| 0 | 3 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 | 3 | 1 | 1 | 1 | 1 | 1 | 1 |
| 0 | 3 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| 0 | 0 | 0 | 0 | 1 | 2 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 |
| 1 | 1 | 0 | 1 | 0 | 3 | 1 | 1 | 0 | 1 | 1 | 0 |
| 1 | 3 | 1 | 1 | 0 | 2 | 1 | 0 | 0 | 1 | 0 | 0 |
| 1 | 2 | 1 | 0 | 0 | 3 | 1 | 1 | 1 | 1 | 1 | 1 |
| 1 | 3 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | \* | 1 |
| 01 | 1 | \* | 0 | 0 |
| 11 | 1 | \* | 0 | 1 |
| 10 | 0 | \* | 0 | 1 |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | \* | 1 |
| 01 | 1 | 0 | 0 | \* |
| 11 | 1 | \* | 1 | 0 |
| 10 | 1 | \* | 0 | 1 |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | \* | 1 |
| 01 | 0 | 0 | 1 | \* |
| 11 | 1 | \* | 1 | 0 |
| 10 | 0 | \* | 0 | 0 |





Рисунок 32- Минимизация функций возбуждения триггеров при помощи карт Карно

Минимизация функций возбуждения триггеров при помощи карт Карно представлена на рисунке 32.

Поскольку в нашем случае исходное состояние ГЧ зависит от режима работы ГЧ, для реализации его схемы необходимы триггеры со входами асинхронной установки в «0» и «1», в качестве которых могут быть использованы микросхемы КР1533ТМ2. Использование этих триггеров потребует использования усилителей по току для входных сигналов ГЧ, наибольшим быстродействием среди которых обладают инверторы микросхемы КР1533ЛН8 (7нс).

Среди всех способов построения комбинационной схемы ГЧ, наибольшим быстродействием будет обладать 2- ступенчатая комбинационная схема на элементах «И-НЕ» микросхемы КР1533ЛА24.

Схема такого ГЧ, построенного на микросхемах КР1533ЛН8 (DD1), КР1533ЛА24 (DD2-DD4 и DD6), КР1533ЛА4 (DD5) и КР1533ТМ2 (DD7-DD8) , KP1533ЛА22(DD9 )представлена на рисунке 33.

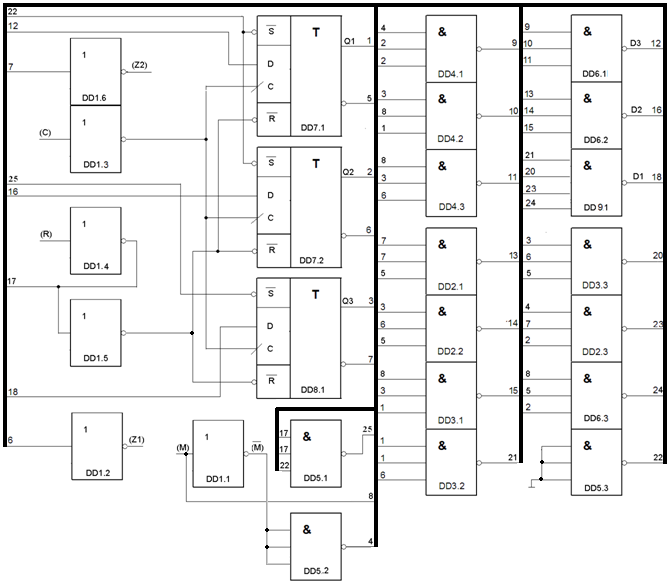


Рисунок 33 - Параллельный генератор чисел на базе D – триггеров

Нагрузка по току со стороны источника входного сигнала начальной установки (R):

Iвх1( R ) = 0,02мА, Iвх0( R ) = 0,1мА.

Нагрузка по току со стороны источника входного синхросигнала (С):

Iвх1( С ) = 0,02мА, Iвх0( С ) =0,1мА.

Нагрузка по току со стороны источника входного сигнала режима (М):

Iвх1( М ) = 0,02мА, Iвх0( М ) =0,1мА.

Инверторы DD1.6 и DD1.1 обеспечивают требования ТЗ к выходному току на выходах ГЧ.

Задержка формирования выходных сигналов схемы параллельного ГЧ по входу «С» (Tформ.С), построенного на базе этих триггеров, будет равна tзд.0-1(КР1533ЛН8)+ tзд.(КР1533ТМ2)+ tзд.(КР1533ЛН8) =7+18+7=32 нс.

Общая задержка переключения параллельного ГЧ по входу «С» (Tпер.С), построенного на базе этих триггеров, будет равна tзд.0-1(КР1533ЛН8)+ tзд.(КР1533ТМ2)+ 2\*tзд.(КР1533ЛА24)+ время опережения установки информации по входам D относительно переднего фронта сигнала на входе «С» =7+18+2\*8+10=41 нс.

Задержка формирования выходных сигналов схемы параллельного ГЧ по входу «R» (Tформ.R), построенного на базе этих триггеров, будет равна tзд.(КР1533ЛН8)+ tзд.(КР1533ЛА4)+ tзд.(КР1533ТМ2) по входу «R» + tзд.(КР1533ЛН8) =7+11+15+7=40 нс.

Общая задержка переключения параллельного ГЧ по входу «R» (Tпер.R), построенного на базе этих триггеров, будет равна tзд.(КР1533ЛН8) + tзд.(КР1533ЛА4)+ tзд.(КР1533ТМ2)+ 2\*tзд.(КР1533ЛА4)+1\*tзд .(КР1533ЛА22)+ время опережения установки информации по входам D относительно переднего фронта сигнала на входе «С» =7+11+15+2\*11+7+10=72 нс.

Длительность выходных сигналов ГЧ при переключении от сигнала «R» равна 1,5Т –Тформ.R =84нс -40нс =44нс.

Длительность выходных сигналов ГЧ при переключении от сигнала «С» равна Т –Тформ.C =56нс -32нс =24нс.

Таким образом, минимальная длительность выходных сигналов ГЧ составляет 24нс.

Общая потребляемая мощность схемы параллельного ГЧ будет равна Ucc\* ( 2\*Icc(КР1533ТМ2) + 5\*Icc(КР1533ЛА24) + 1\* Icc(КР1533ЛА4) + 1\* Icc(КР1533ЛН8)+1\*Icc(КР1533ЛА22) =5,5\*(2\*4+5\*5,8+1\*2,2+1\*12+6) мВт = 287,6 мВт.

Увеличение быстродействия схемы за счет замены микросхемы КР1533ЛА4 на более быстродействующую микросхему КР1533ЛА24 невозможно, так как это приведет к недопустимому увеличению потребляемой мощности.

Количество ИМС, использованных в составе схемы ГЧ - 9 шт., а общее количество корпусов, включая фильтрующие конденсаторы и разъем, – 19 шт.

Таким образом, рассмотренный способ построения ГЧ не удовлетворяет требованиям ТЗ по количеству корпусов.

**4.5.2 Параллельный генератор чисел на базе JK – триггеров.**

Таблица переходов параллельного ГЧ и функций возбуждения D-триггеров представлена в табл. 18.

Таблица 18.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **M** | **10-e** | **Q3 (Z2)** | **Q2 (Z1)** | **Q1** | **10-е** | **Q3** | **Q2** | **Q1** | **J3** | **K3** | **J2** | **K2** | **J1** | **К1** |
| 0 | 2 | 1 | 0 | 0 | 3 | 1 | 1 | 0 | - | 0 | 1 | - | 0 | - |
| 0 | 3 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | - | 1 | - | 1 | 0 | - |
| 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | - | 1 | - | 0 | - |
| 0 | 1 | 0 | 1 | 0 | 3 | 1 | 1 | 1 | 1 | - | - | 0 | 1 | - |
| 0 | 3 | 1 | 1 | 1 | 0 | 0 | 0 | 1 | - | 1 | - | 1 | - | 0 |
| 0 | 0 | 0 | 0 | 1 | 2 | 1 | 0 | 0 | 1 | - | 0 | - | - | 1 |
| 1 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | - | 1 | - | 0 | - |
| 1 | 1 | 0 | 1 | 0 | 3 | 1 | 1 | 0 | 1 | - | - | 0 | 0 | - |
| 1 | 3 | 1 | 1 | 0 | 2 | 1 | 0 | 0 | - | 0 | - | 1 | 0 | - |
| 1 | 2 | 1 | 0 | 0 | 3 | 1 | 1 | 1 | - | 0 | 1 | - | 1 | - |
| 1 | 3 | 1 | 1 | 1 | 1 | 0 | 1 | 1 | - | 1 | - | 0 | - | 0 |
| 1 | 1 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | - | - | 1 | - | 1 |

Минимизируем при помощи карт Карно функции возбуждения триггеров.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | - | - | 1 |
| 01 | 0 | - | - | 0 |
| 11 | 1 | - | - | 0 |
| 10 | 0 | - | - | 0 |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | - | 1 | - | - |
| 01 | - | - | 0 | - |
| 11 | - | - | 0 | - |
| 10 | - | - | 1 | - |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 1 | 0 | - | - |
| 01 | 1 | - | - | - |
| 11 | 1 | - | - | - |
| 10 | 1 | - | - | - |



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | - | - | - | 0 |
| 01 | - | - | 1 | 1 |
| 11 | - | - | 0 | 1 |
| 10 | - | - | 1 | 0 |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | - | - | - | - |
| 01 | 0 | - | 1 | 1 |
| 11 | 0 | - | 1 | 0 |
| 10 | - | - | - | - |





|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| MQ3\Q2Q1 | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | - | 1 |
| 01 | - | - | - | - |
| 11 | - | - | - | - |
| 10 | 0 | - | 0 | 1 |





Из полученных выражений следует, что для его реализации преобразователя кодов потребуется 2-ступенчатая КС на элементах «И-НЕ», количество входов которых не превышает 3, наибольшим быстродействием из которых обладают элементы микросхемы КР1533ЛА24. Если для построения схемы применить быстродействующие JK-триггера микросхемы КР1533ТВ9, а в качестве входного усилителя тока – быстродействующие инверторы микросхемы КР1533ЛН8, то время переключения ГЧ по входу «С» (Тпер.С) будет равно tзд.1-0 (КР1533ЛН8) +tзд.(КР1533ТВ9) по входу «С» +2\*tзд.(КР1533ЛА24) +время опережения установки информации по входам J и K относительно переднего фронта сигнала на входе «С» =6+19+2\*8+22 (нс) =63нс, что превышает Т (56нс).

Таким образом, рассматриваемый способ построения не удовлетворяет требованиям ТЗ по быстродействию.

**5. Сравнительный анализ рассмотренных способов построения ГЧ**

Выбор наилучшего варианта определяется критерием оптимизации. При разработке данного генератора чисел в качестве такого критерия выступает быстродействие. Сравнительная таблица рассмотренных способов построения ГЧ, удовлетворяющих требованиям ТЗ, представлена в табл. 19.

Таблица 19.

|  |  |  |  |
| --- | --- | --- | --- |
| Наименование метода  построения | Количест-во  корпусов, (шт.) | Длительность выходных сигналов ГЧ (нс) | Мощ-ность, (мВт) |
| Техническое задание | 18 | 5 | 300,00 |
| ГЧ на базе счетчика Джонсона, на D-триггерах с преобразователем кода Джонсона на элементах И-НЕ | 13 | 23 | 225,99 |
| ГЧ на базе двоичного счетчика на D триггерах, с преобразователем кодов на элементах И – НЕ | 16 | 23 | 292,05 |
| ГЧ на базе двоичного счетчика, построенного на базе D – триггеров, с преобразователем кодов на мультиплексорах с двумя адресными входами | 14 | 9 | 293,15 |
| ГЧ на базе кольцевого счетчика | 18 | 5 | 268,40 |
| ГЧ на основе сдвигового регистра построенного на триггерах | 18 | 31 | 246,40 |

Из таблицы 19 видно, что критерию оптимизации в наибольшей степени отвечает ГЧ на основе сдвигового регистра построенного на триггерах. Функциональная схема данного ГЧ представлена на рисунке 31, а принципиальная электрическая схема с перечнем элементов приведена в приложении №1.

**6. Техническое описание Генератора чисел**

Начальная установка ГЧ производится при подаче нулевого сигнала на вход сброса ГЧ (R). При этом, в соответствии с заданным сигналом (М) режимом работы, асинхронно устанавливается исходное значение всех триггеров, а на выходах ГЧ формируется первое число из заданной последовательности чисел. После снятия сигнала сброса ГЧ (R) по каждому синхроимпульсу в пределах каждого из циклических регистров «Х» и «Y» происходит сдвиг и на выходах преобразователя кодов (Z1 и Z2) формируется очередное число из заданной последовательности чисел.

После поступления каждых шести синхроимпульсов циклические сдвиговые регистры возвращаются в исходное состояние и цикл работы ГЧ повторяется.

**7. Заключение**

В ходе работы над проектом была рассмотрена задача разработки генератора чисел. На основе анализа технического задания из множества вариантов был выбран оптимальный вариант её решения, который отвечает всем условиям технического задания.

Была проведена детальная проработка большинства вариантов проектирования генератора чисел. В ходе работы производился расчет всех необходимых для анализа параметров.

Все схемы проходили проверку на работоспособность в виде модели в системе проектирования Quartus II 9.1sp2 Web Edition.

**8. Список литературы**

1. И.И. Петровский, А.В. Прибыльский, А.А. Троян, В.С. Чувелев. Логические ИС КР1533, КР1554. Справочник. Часть 1,2. "БИНОМ", Москва, 1993.

2. В.Л. Шило. Популярные цифровые микросхемы. «Радио и Связь», Москва, 1987.

**9. Содержание**

1. Техническое задание…………………………………………………….……..2

2. Структура ГЧ, как «черного ящика»…………… ……………….……….…..3

3. Временная диаграмма работы ГЧ, как «черного ящика»…….……….….3

4. Методы и способы построения ГЧ. …..…………………….…………….….4

4.1. Генератор чисел на базе счетчика Джонсона………….……..……….…4

4.1.1. Варианты построения счетчика Джонсона и выбор оптимального

в соответствии с критерием оптимизации ………………….……..…………….….….4

4.1.2. Построение генератора чисел на базе счетчика Джонсона ……......9

4.2. Генератор чисел на базе двоичного счетчика ………………….....……….…13

4.2.1. Способы построение двоичного счетчика и выбор оптимального

в соответствии с критерием оптимизации ………………..……………………….….13

4.2.2. Построение генератора чисел на базе двоичного счетчика …….....19

4.3. Генератор чисел на базе кольцевого счетчика ……………………………….25

4.3.1. Варианты построение кольцевого счетчика и выбор оптимального

в соответствии с критерием оптимизации ……………..……………...………….….25

4.3.2. Построение генератора чисел на базе кольцевого счетчика ..….…35

4.4. Генератор чисел на базе сдвигового регистра …………….…………..……..41

4.5. Параллельный генератор чисел на базе триггеров ……….........…….…45

4.5.1. Параллельный генератор чисел на базе D – триггеров ..……....……45

4.5.2. Параллельный генератор чисел на базе JK – триггеров ..……......…49

5. Сравнительный анализ рассмотренных способов построения схемы

ГЧ. ……………………………………………………………………….………………………………..….51

6. Техническое описание генератора чисел. …...………………...…….……………52

7. Заключение. …...………….…...……………………………………………………………….…52

8. Список литературы …….….……………………………………………………………..……..52

9. Содержание. …….………………………………………...…………………………….….……..52

Приложение 1. Схема электрическая принципиальная с перечнем

элементов…………….……………………...……………...............................................53

Приложение 2. Модели и временные диаграммы.…….………………………….56

Приложение 3. Описание принципов работы и технические характеристики микросхем, использованных в принципиальной электрической схеме ГЧ и при выборе оптимального способа построения ГЧ……………………..……..………..96

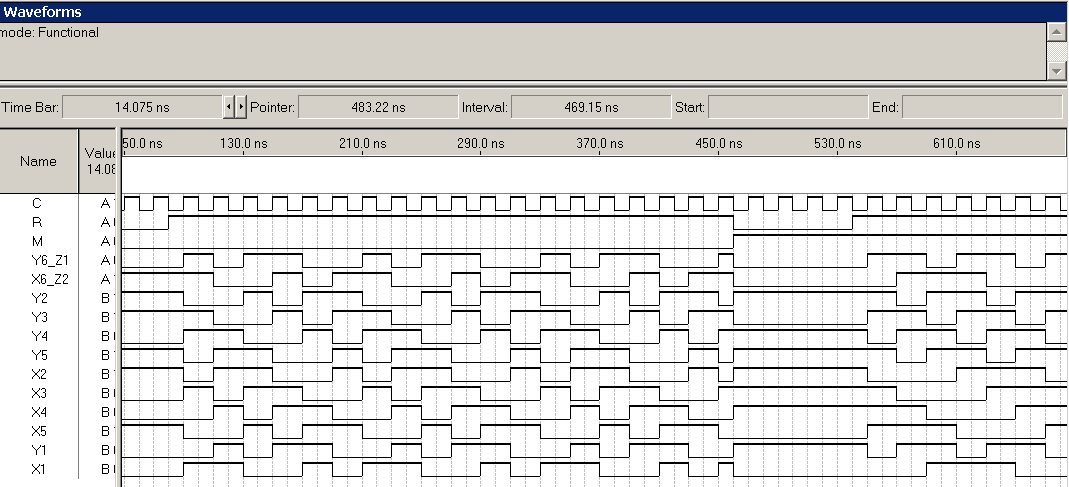
**Приложение 1.Схема электрическая принципиальная и Перечень элементов.**

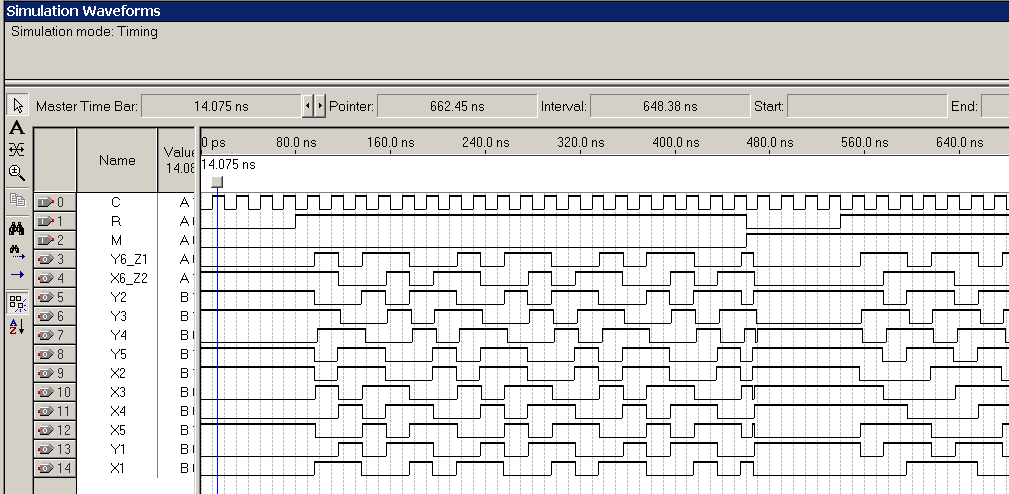
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| принц | | | | | | | | | | | | | | | | | | | | | | | | | | | |
|  |  | |  | | |  | |  | | ***Схема электрическая принципиальная*** | | | | | | | | | | | | | | | | | |
|  |  | |  | | |  | |  | |
|  |  | |  | | |  | |  | |
|  |  | |  | | |  | |  | | ***Генератор чисел*** | | | | | *Лит.* | | | | | | *Масса* | | | | | *Масштаб* | |
|  |  | | ***Фамилия*** | | | ***Подпись*** | | ***Дата*** | |  | | |  |  | |  | | | | | *1:1* | |
| *Разраб.* | | | *Ясенов А.М.* | | |  | |  | |
| *Провер*. | | | *Королев А.П.* | | |  | |  | |
|  | | |  | | |  | |  | | *Лист 1* | | | | | | | *Листов 1* | | | | | |
|  | | |  | | |  | |  | | **Приложение №1** | | | | | *МГУЛ Группа ВТ-42* | | | | | | | | | | | | |
|  | | |  | | |  | |  | |
|  | | |  | | |  | |  | |
| *Зона* | | | *Поз. Обоз-начение* | | | *Наименование* | | | | | | | | | | | | | | | *Кол.* | | | | | *Приме- чание* | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | | ***Конденсаторы*** | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | | *С1* | | | *К55-1 1мкФ 10V* | | | | | | | | | | | | | | | *1* | | | | |  | |
|  | | | *С2-С9* | | | *К53-1 4,7пкФ 10V* | | | | | | | | | | | | | | | *8* | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | | ***Микросхемы*** | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | | *D1* | | | *КР1533ЛН8* | | | | | | | | | | | | | | | *1* | | | | |  | |
|  | | | *D2* | | | *КР1533ЛА24* | | | | | | | | | | | | | | | *1* | | | | |  | |
|  | | | *D3-D8* | | | *КР1533ТВ9* | | | | | | | | | | | | | | | *6* | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | | ***Разъемы*** | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | | *X1* | | | *ВИЛКА СНО51-40-23-В* | | | | | | | | | | | | | | | *1* | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | | |  | | | | | | | | | | | | | | |  | | | | |  | |
|  | | |  | |  | | |  | |  | | ***Перечень элементов*** | | | | | | | | | | | | | | | |
|  | | |  | |  | | |  | |  | |
|  | | |  | | ***Фамилия*** | | | ***Подпись*** | | ***Дата*** | |
| *Разраб.* | | | | | *Ясенов А.М.* | | |  | |  | | ***Генератор чисел*** | *Лит.* | | | | *Лист* | | | | | | | | *Листов* | | |
| *Провер* | | | | | *Королев А.П.* | | |  | |  | |  |  |  | | | *1* | | | | | | *1* | | | |
|  | | | | |  | | |  | |  | | *МГУЛ Группа ВТ-42* | | | | | | | | | | | | | | |
|  | | | | |  | | |  | |  | |
|  | | | | |  | | |  | |  | |

**Приложение 2. Модели и временные диаграммы.**

**Модель принципиальной электрической схемы, построенная на QUARTUS II и полученные с ее помощью временные диаграммы работы ГЧ в режимах «functional» и «timing».**

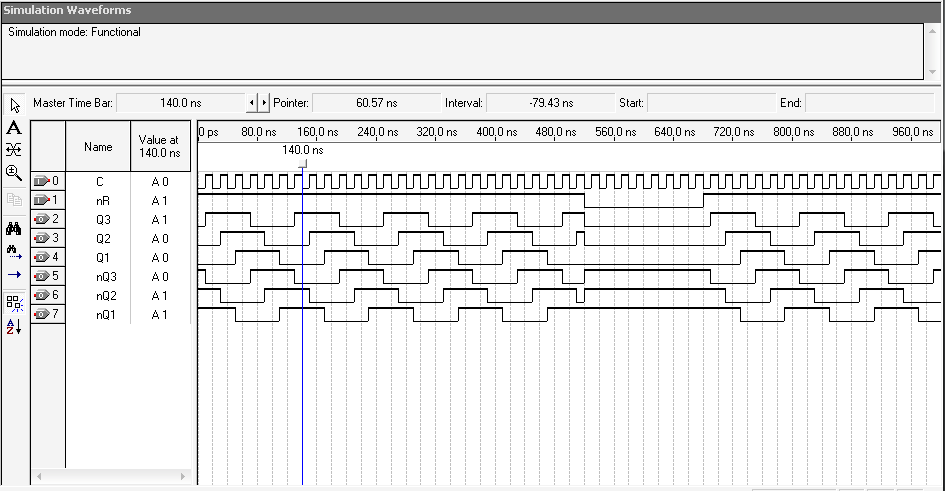
****

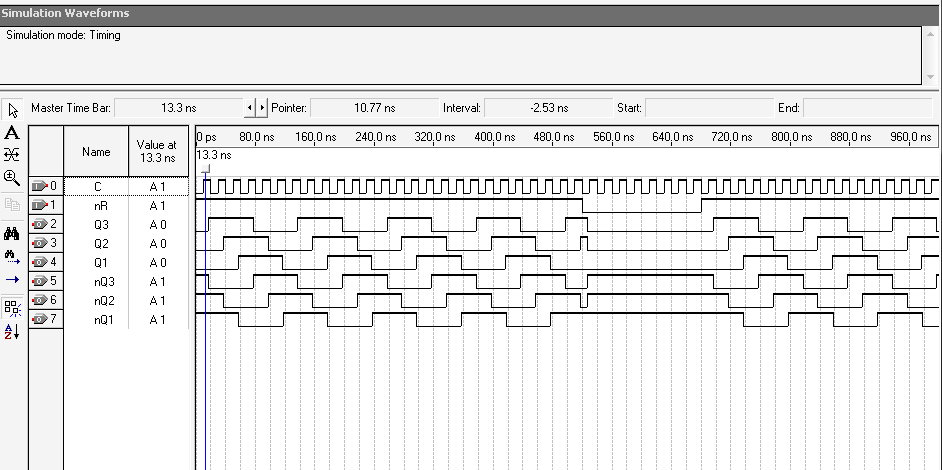
****

****

**Модель счетчика Джонсона на базе D-триггера, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

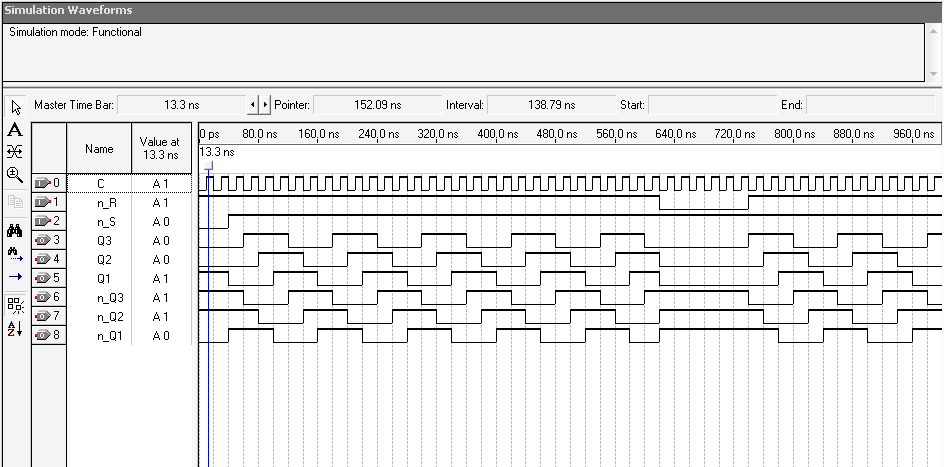
****

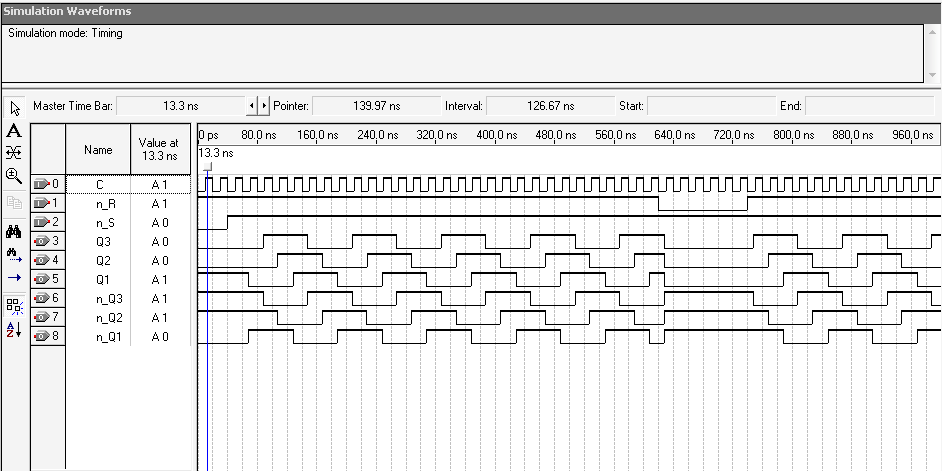


****

**Модель счетчика Джонсона на базе JK-триггеров, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

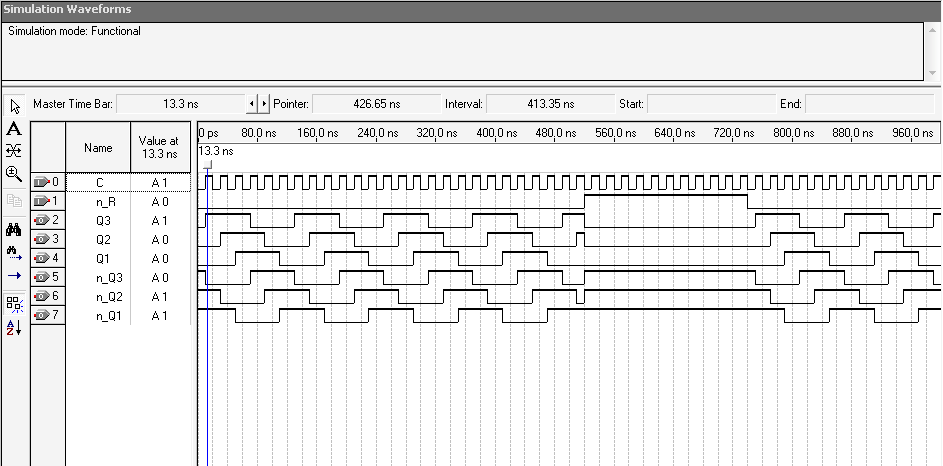


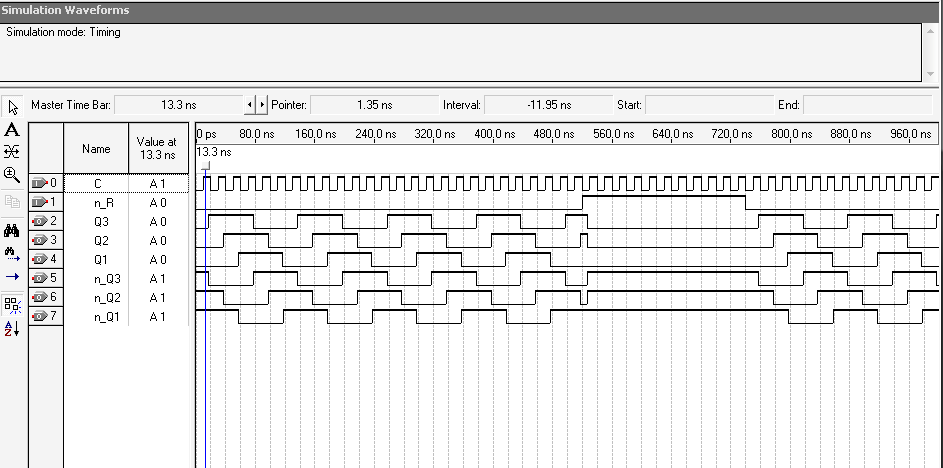




**Модель счетчика Джонсона на базе JK-триггера, согласованная по входному току, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

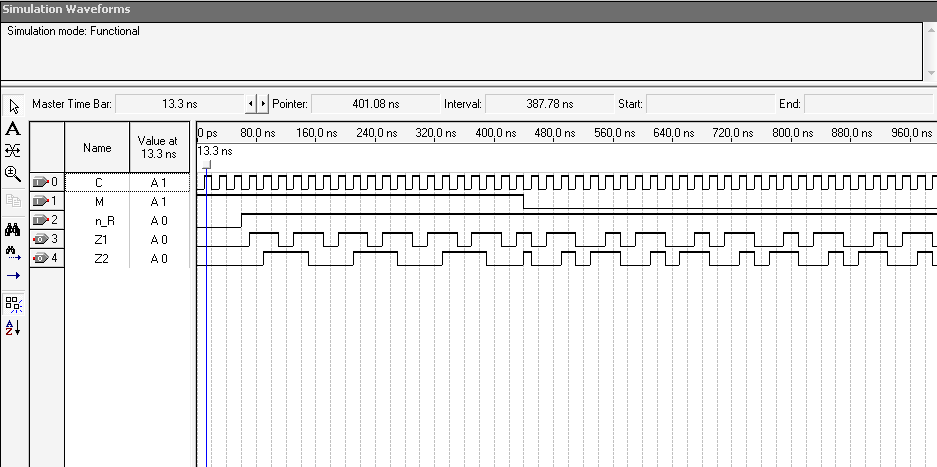


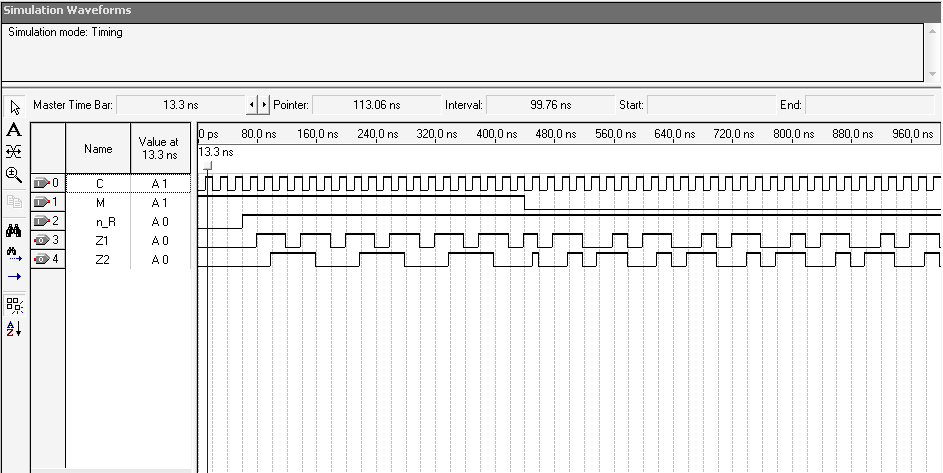




**Модель генератора чисел на базе счетчика Джонсона с преобразователем кода**, **построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

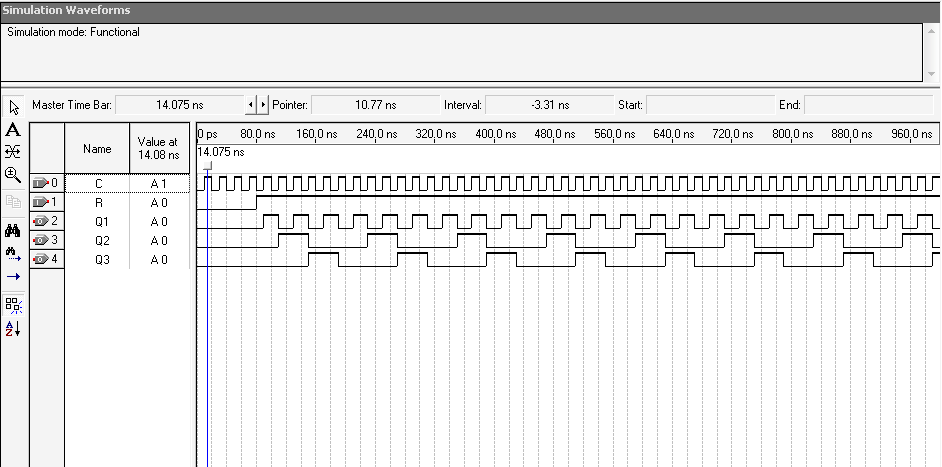


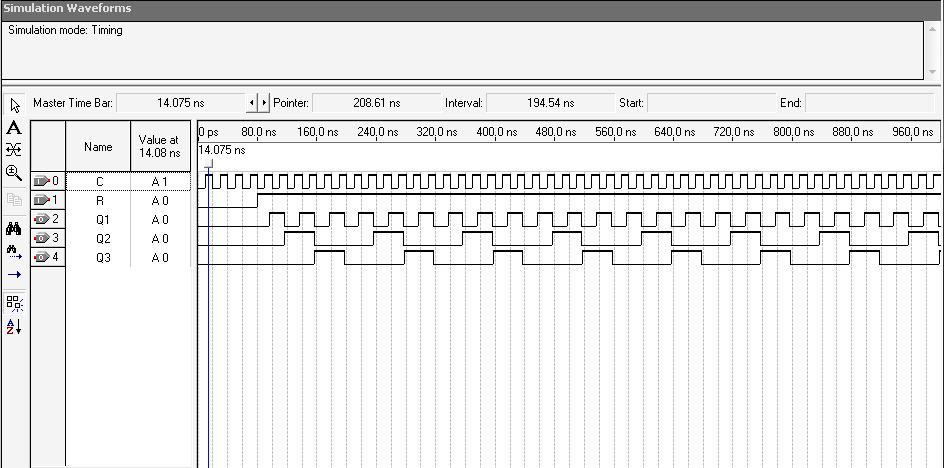




**Модель*****п*араллельного двоичного счетчика на базе JK-триггера**, **построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

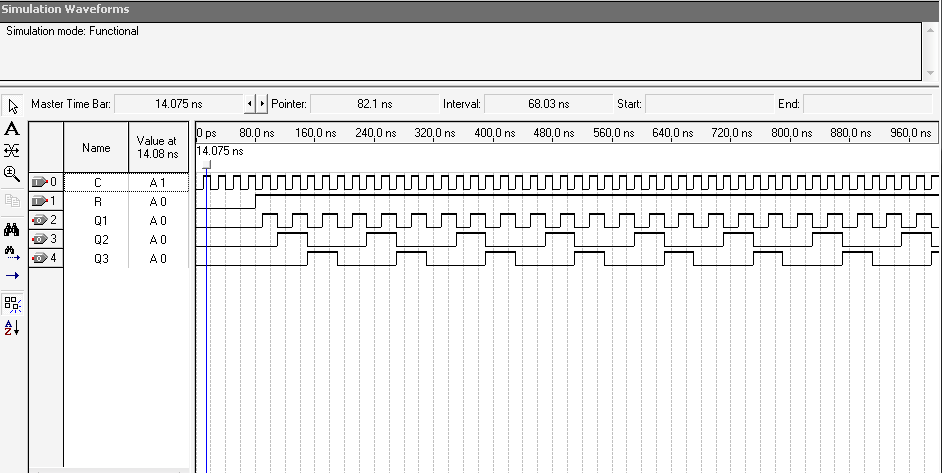


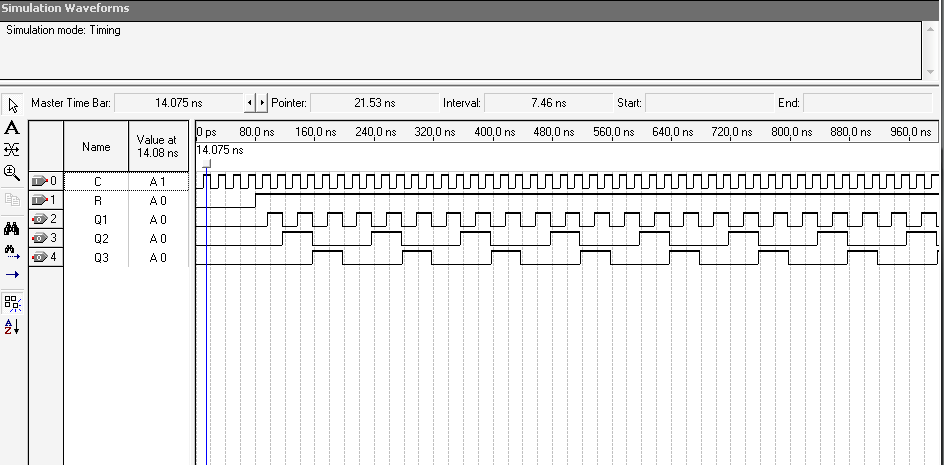




**Модель*****п*араллельного двоичного счетчика на базе D-триггера**, **построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

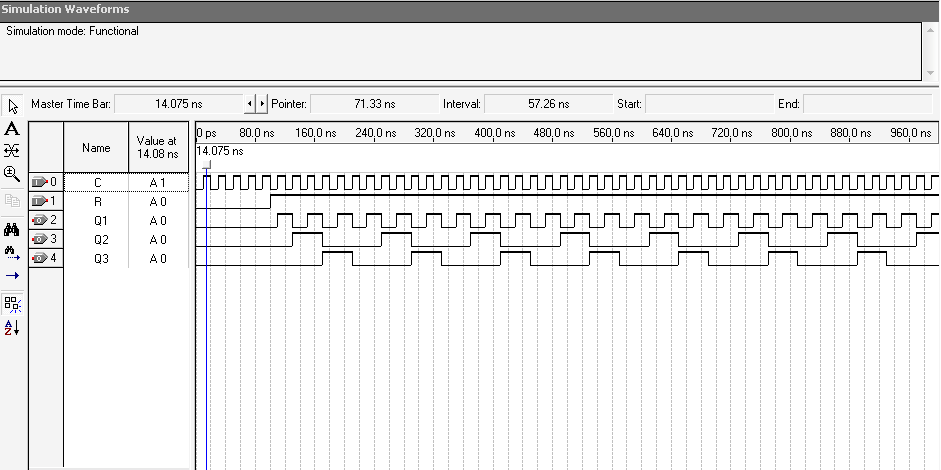
****

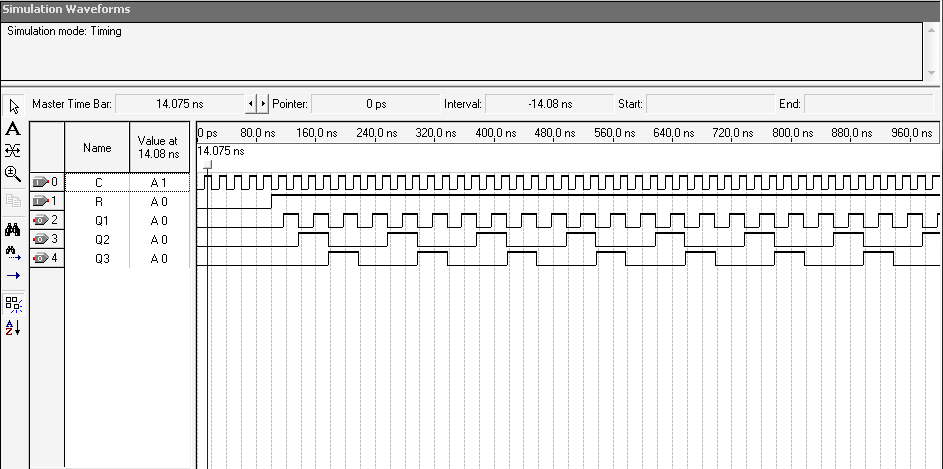
****



**Модель** **двоичного суммирующего счетчика на базе СИС КР1533ИЕ18, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

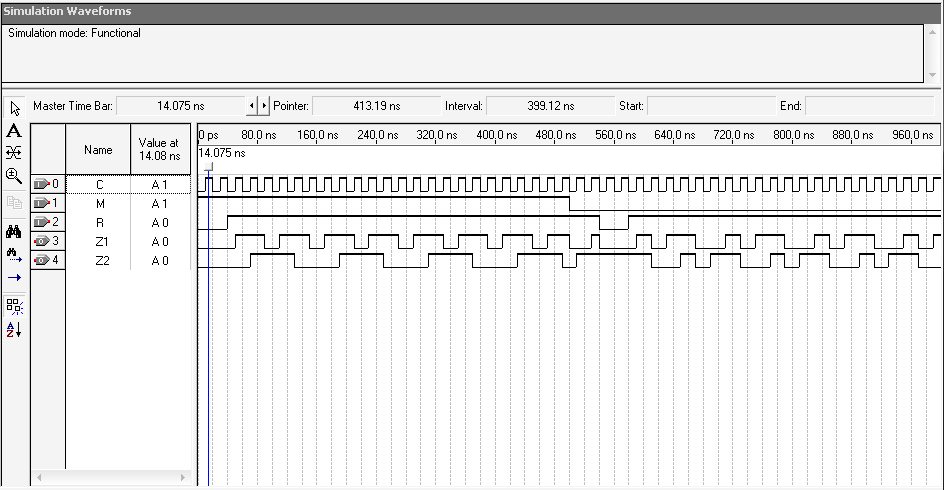


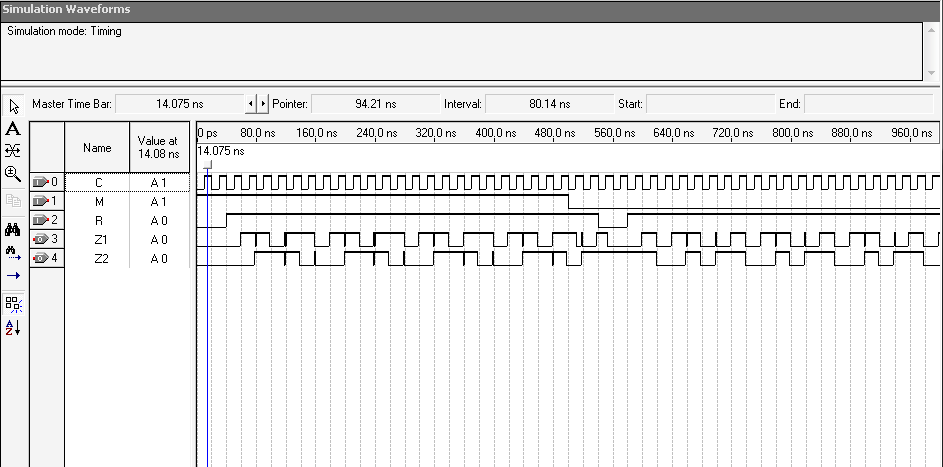




**Модель** **генератора чисел на базе двоичного счетчика с преобразователем кодов наэлементах «И–НЕ», построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

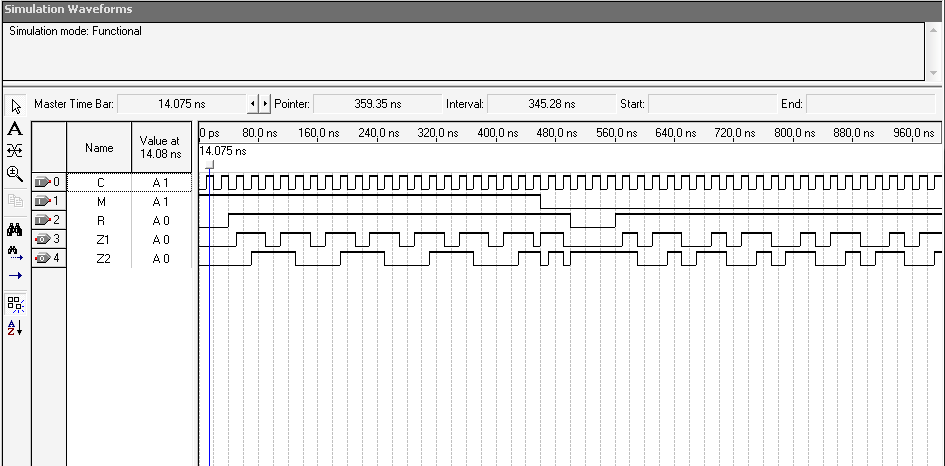
****

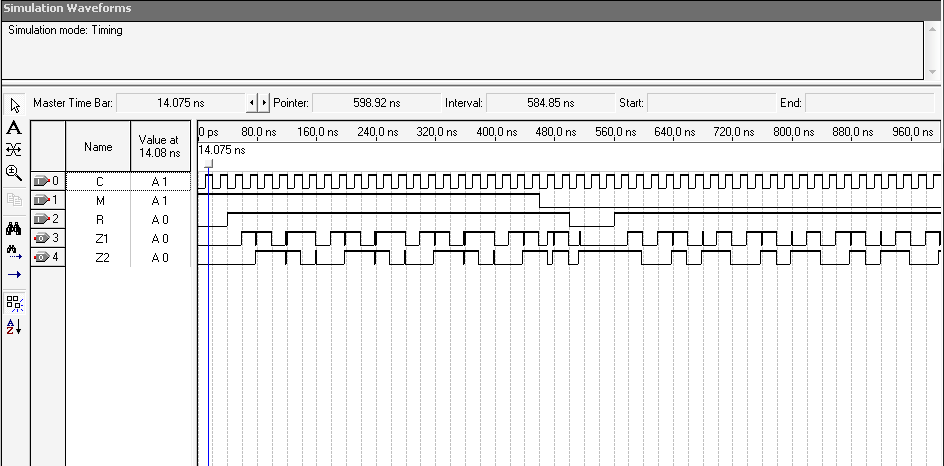




**Модель генератора чисел на базе двоичного счетчика, построенного на базе D-триггеров,с преобразователем кодов на мультиплексорах с двумя адреснымивходами, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

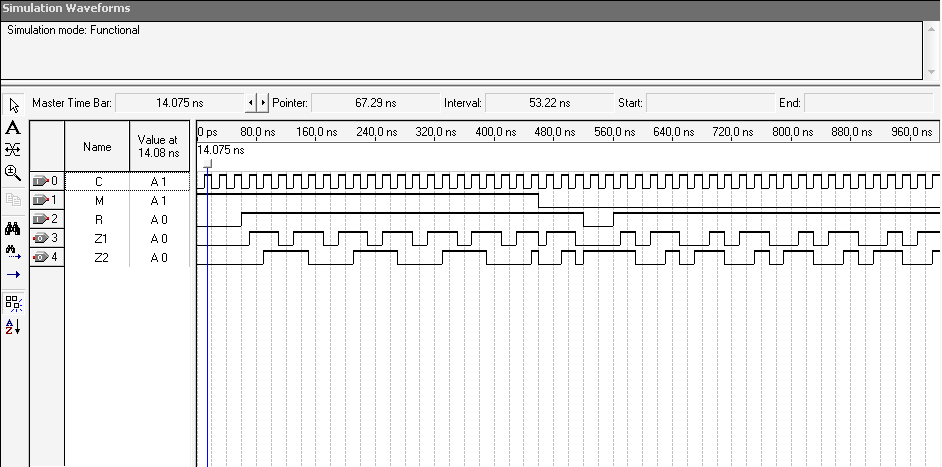
****

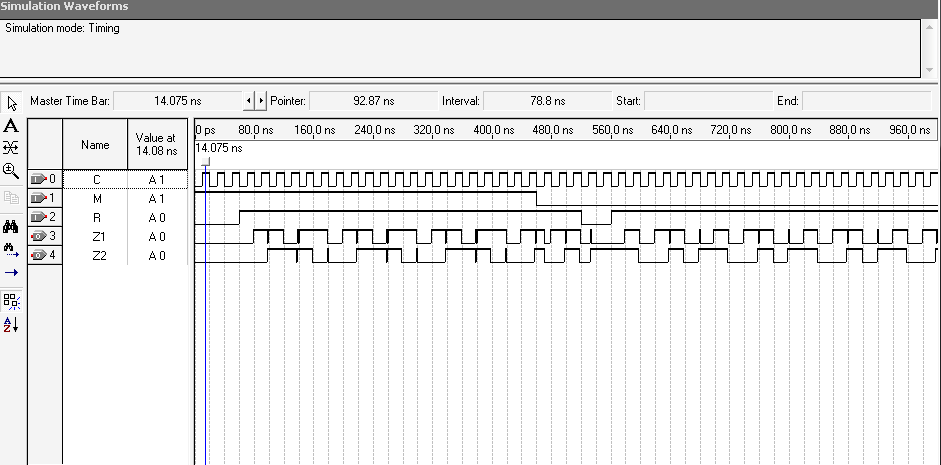




**Модель генератора чисел на базе двоичного счетчика, построенного на базе D-триггеров, с преобразователем кодов на мультиплексорах с двумя адресными входами с уменьшенной потребляемой мощностью, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

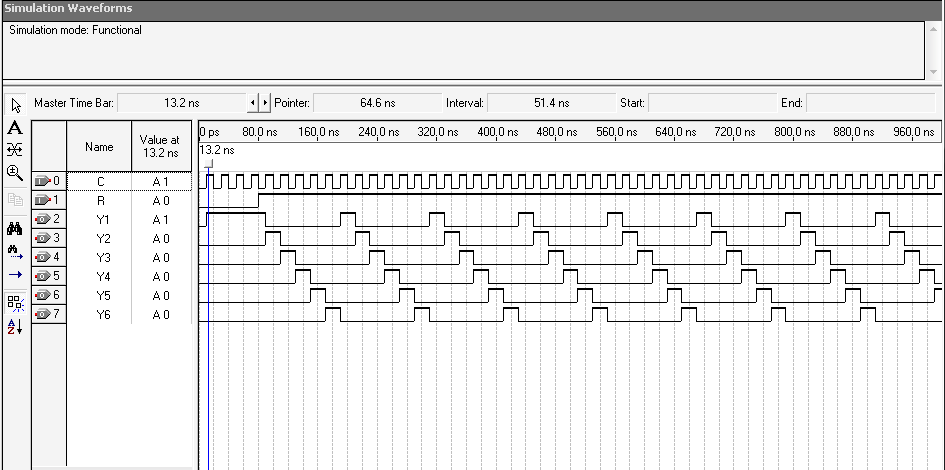
****

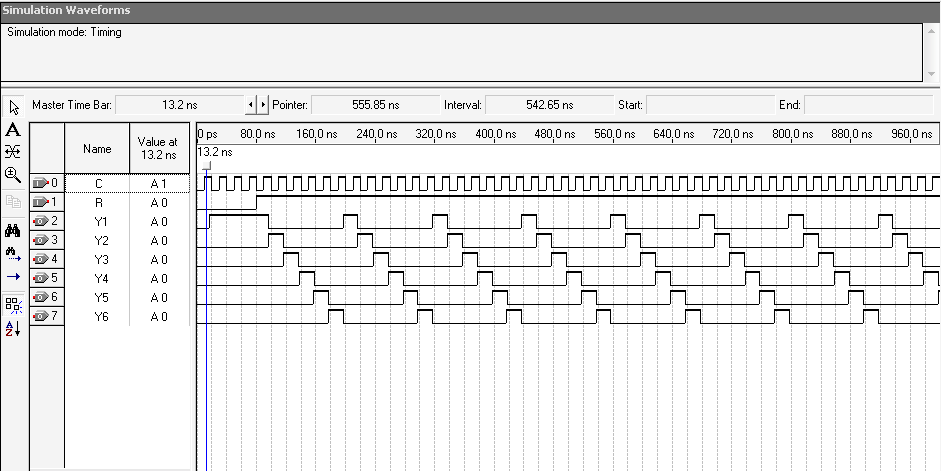




**Модель кольцевого счетчика на базе сдвигового регистра, в качестве которого использована СИС КР1533ИР13, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

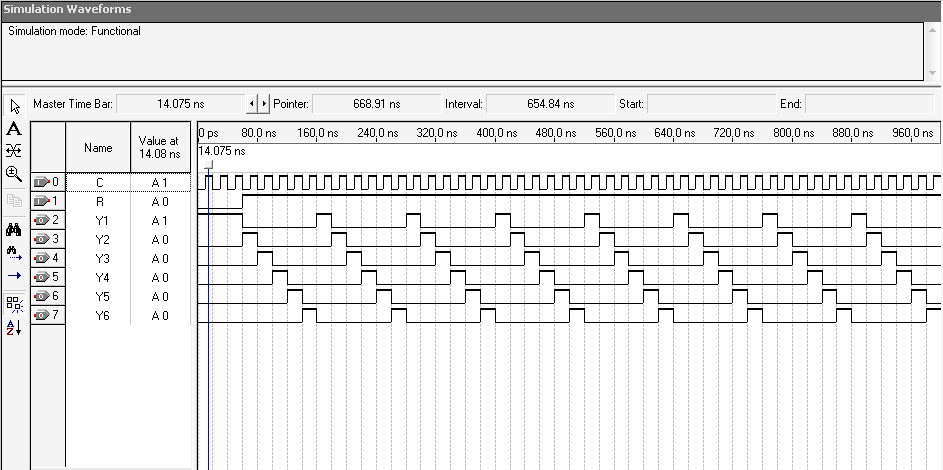
****

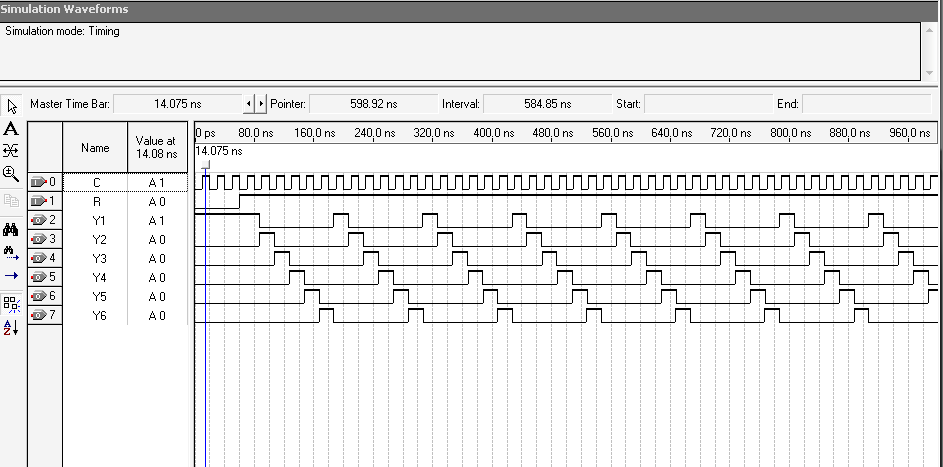




**Модель кольцевого счетчика на базе D-триггеров, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

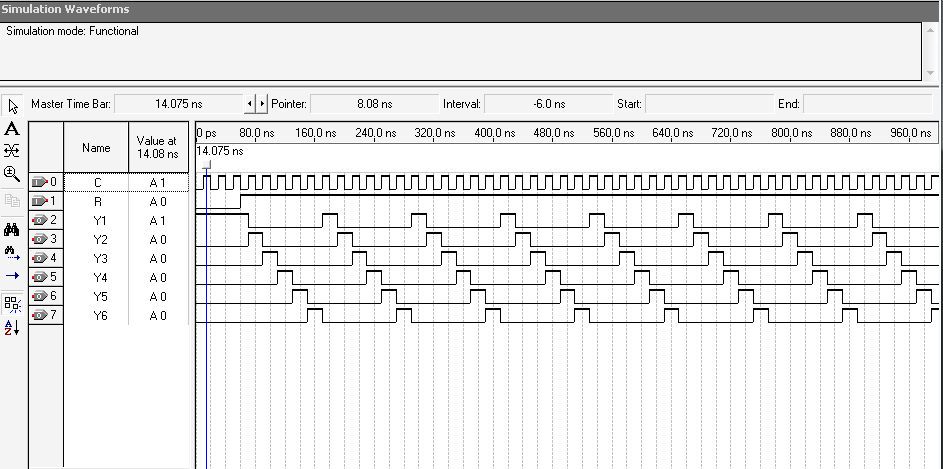


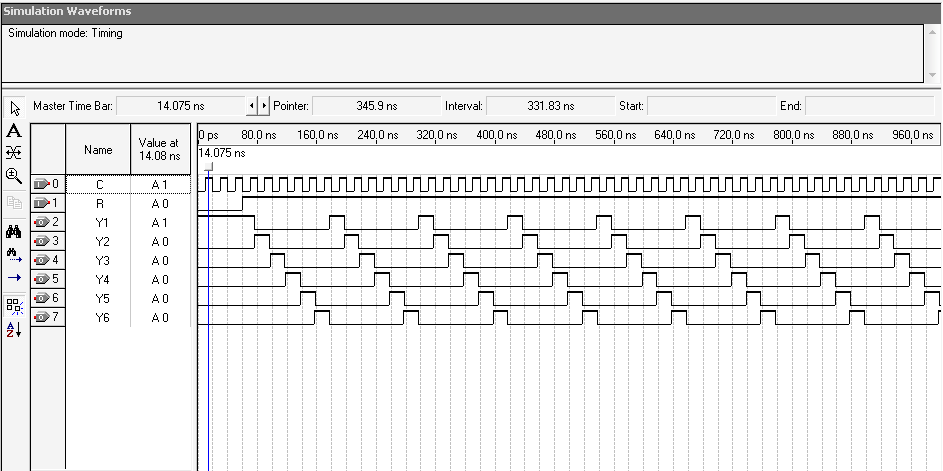




**Модель кольцевого счетчика на базе D-триггеров с увеличенным быстродействием, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

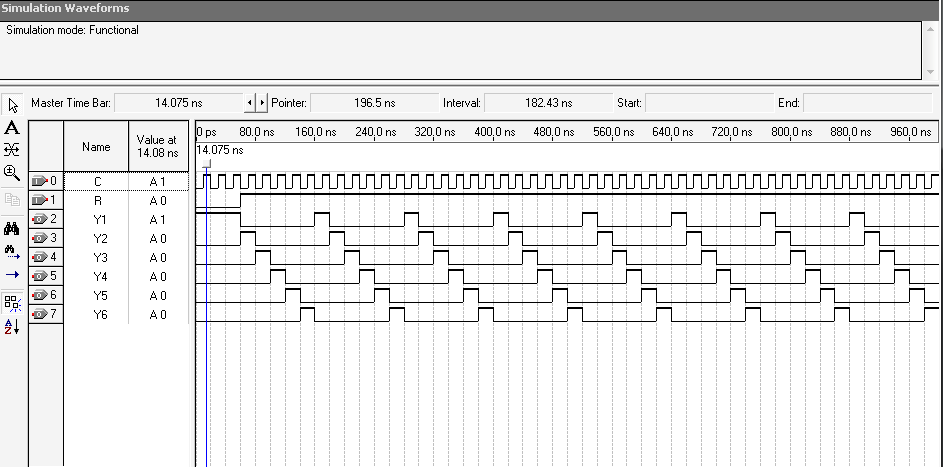
****

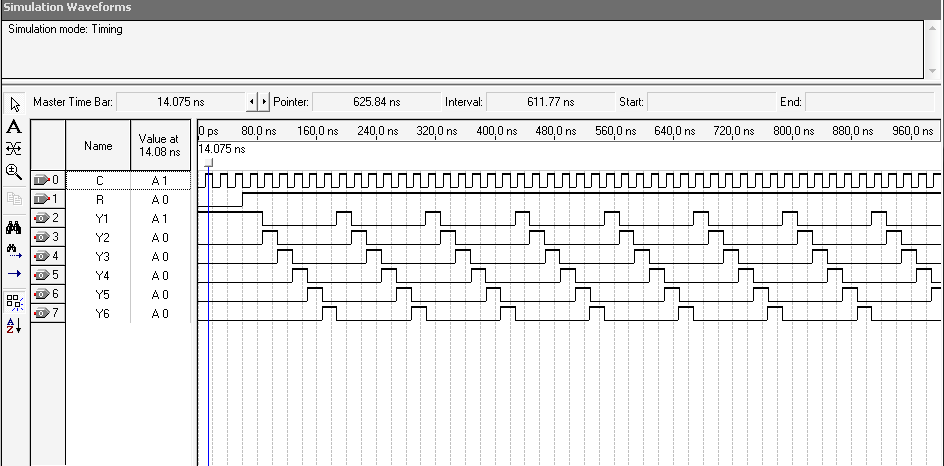




**Модель**  **кольцевого счетчика на базе D-триггеров, согласованная по входному току, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

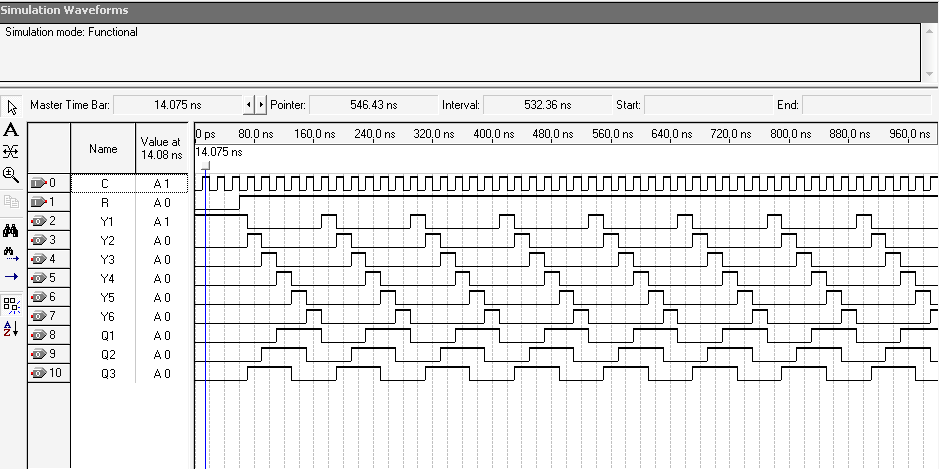
****

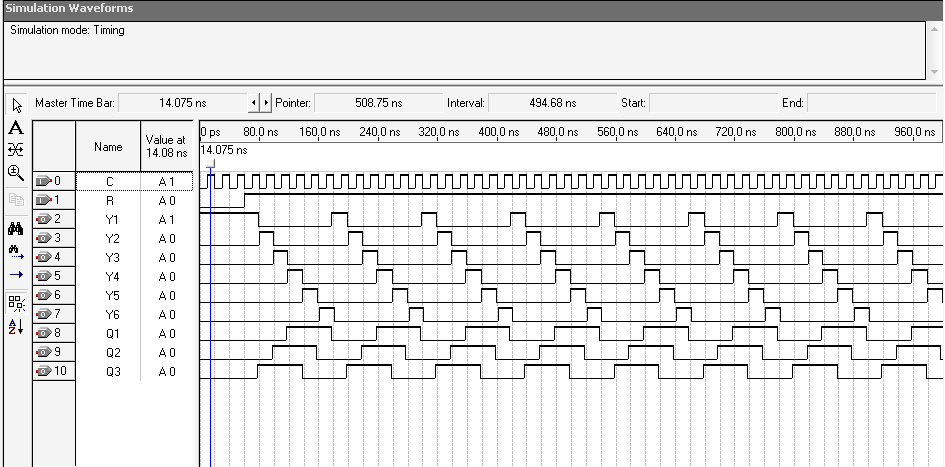




**Модель кольцевого счетчика на базе счетчика Джонсона с дешифратором кода Джонсона**, **построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

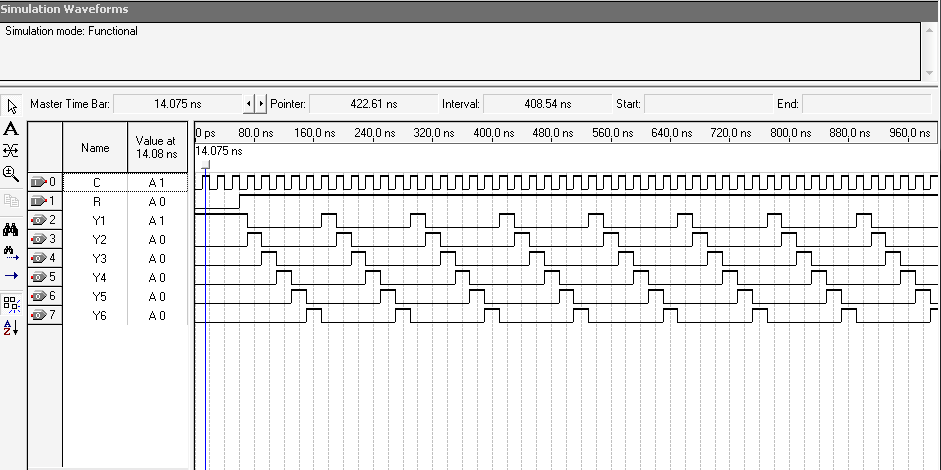


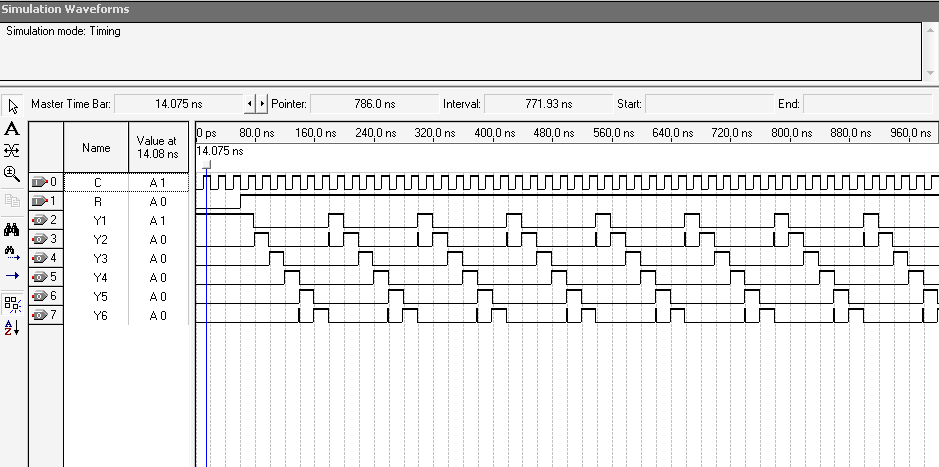




**Модель кольцевого счетчика на базе двоичного счетчика с дешифратором**, **построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

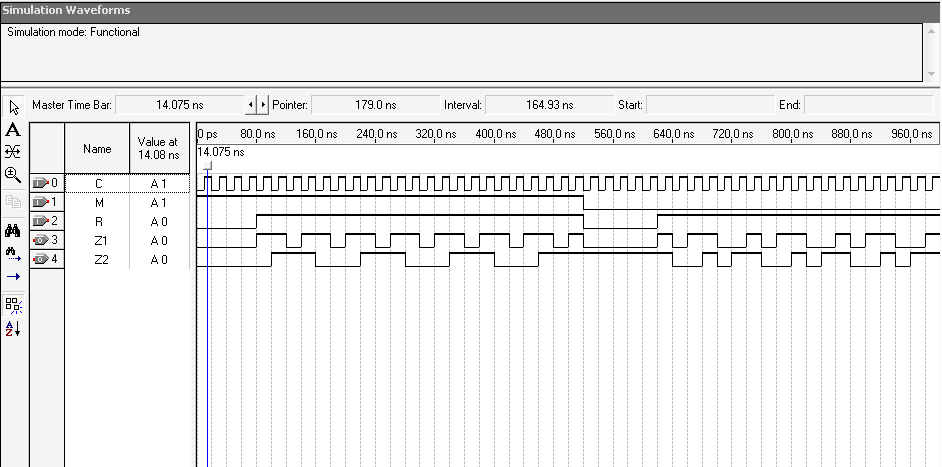


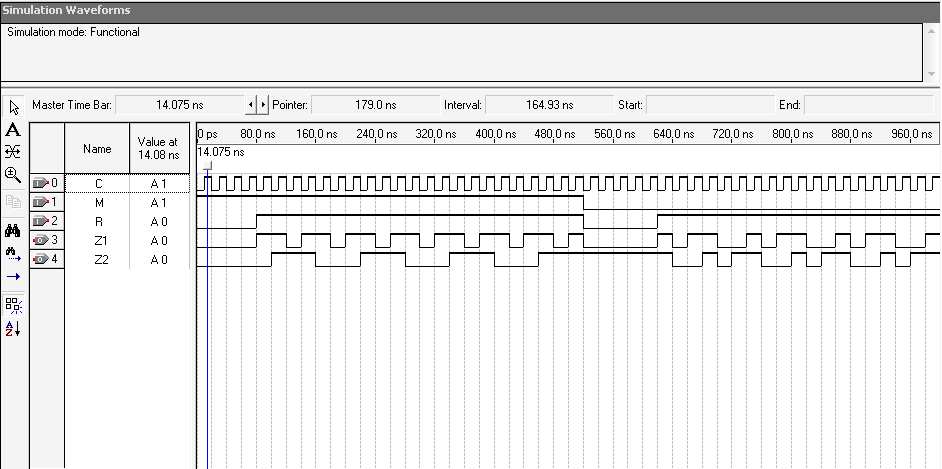




**Модель** **генератора чисел на базе кольцевого счетчика с преобразователем кодов на элементах «И–НЕ» ,построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

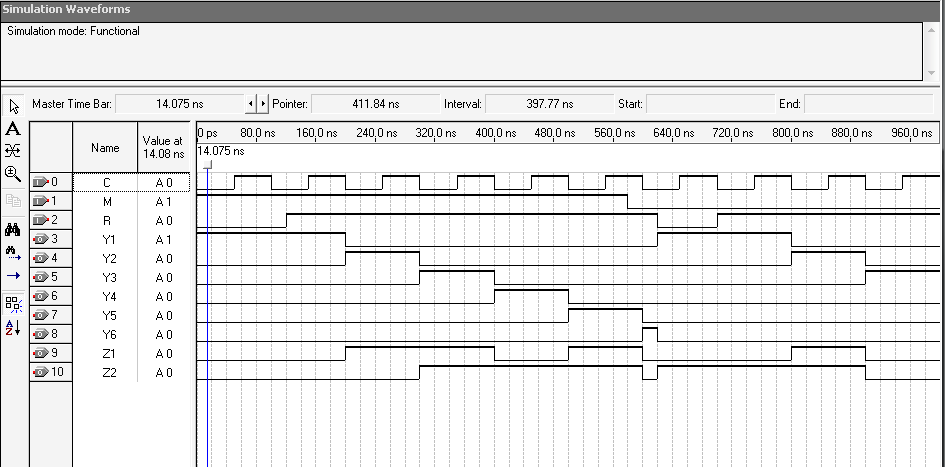
****

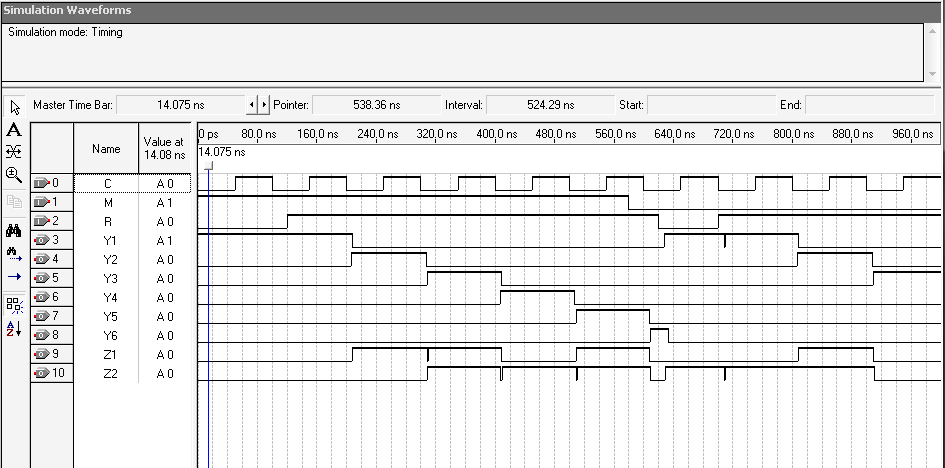




**Модель** **генератора чисел на базе кольцевого счетчика с преобразователем кодов на элементах «И–НЕ» с повышенным быстродействием, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

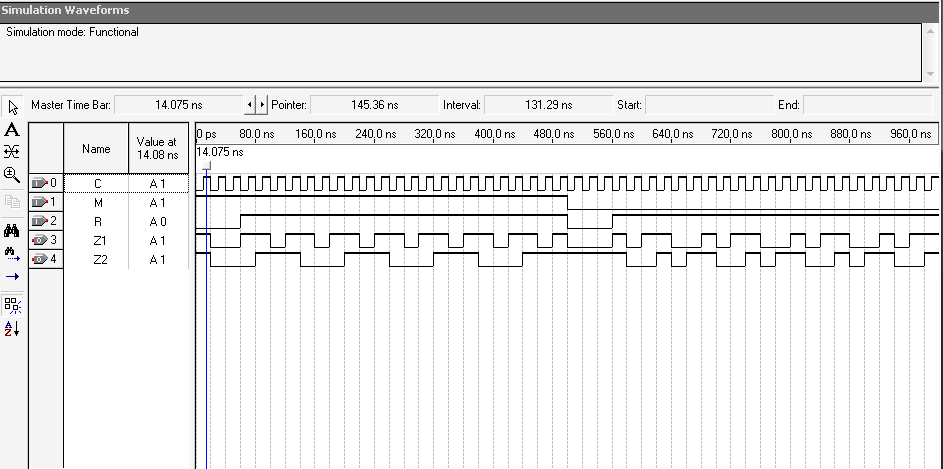


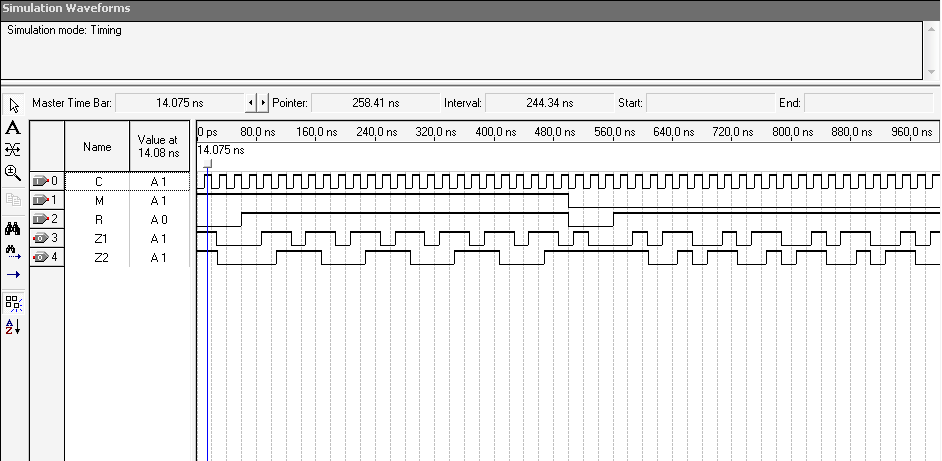




**Модель** **генератора чисел на базе сдвиговых регистров, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

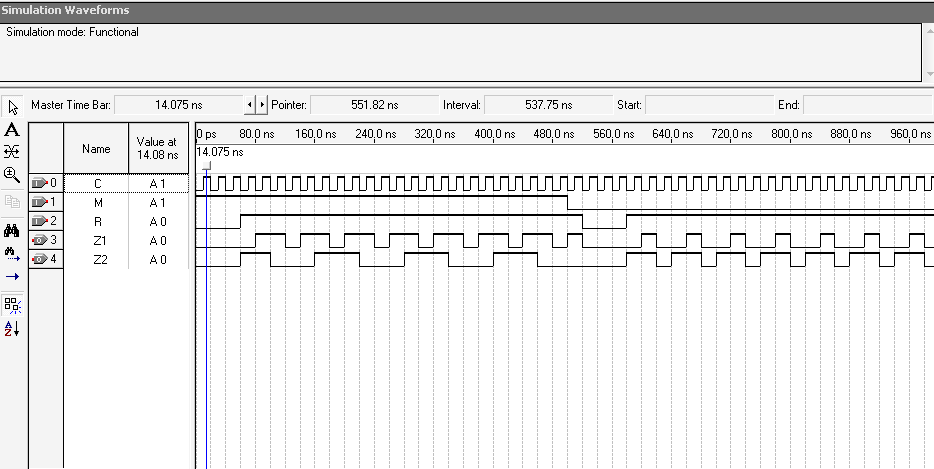


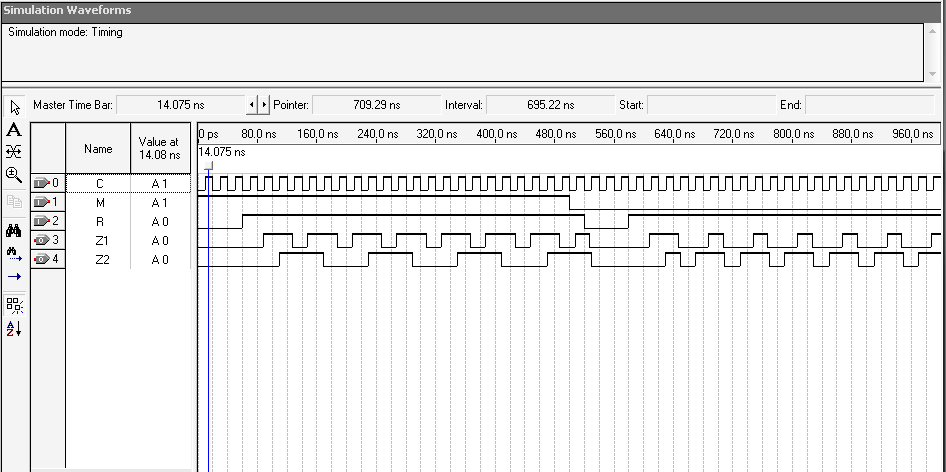


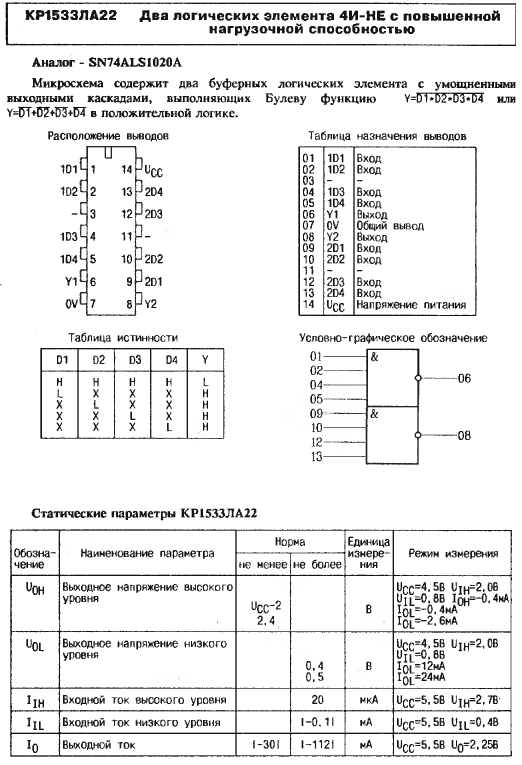


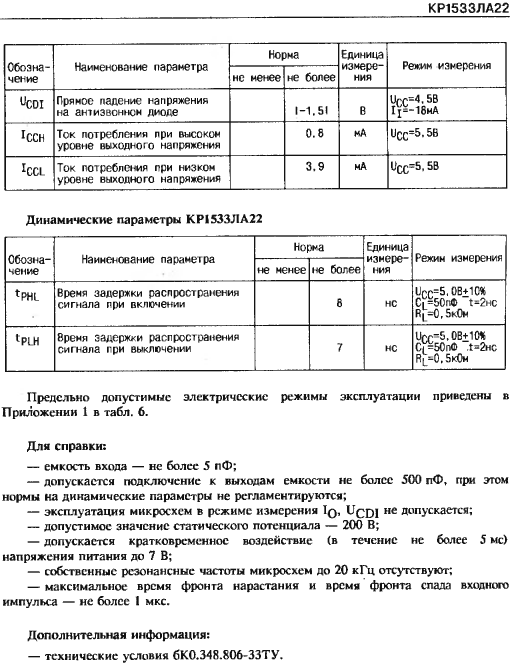
**Модель** **параллельного генератора чисел на базе D – триггеров, построенная** **на QUARTUS II и полученные с ее помощью временные диаграммы в режимах «functional» и «timing».**

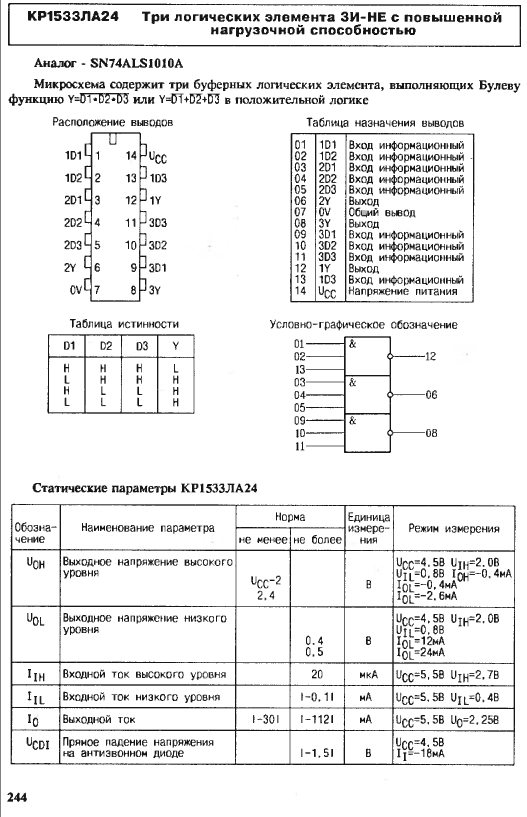


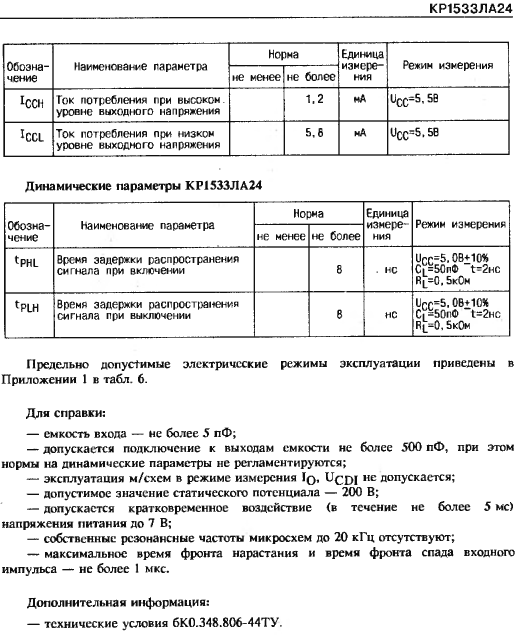


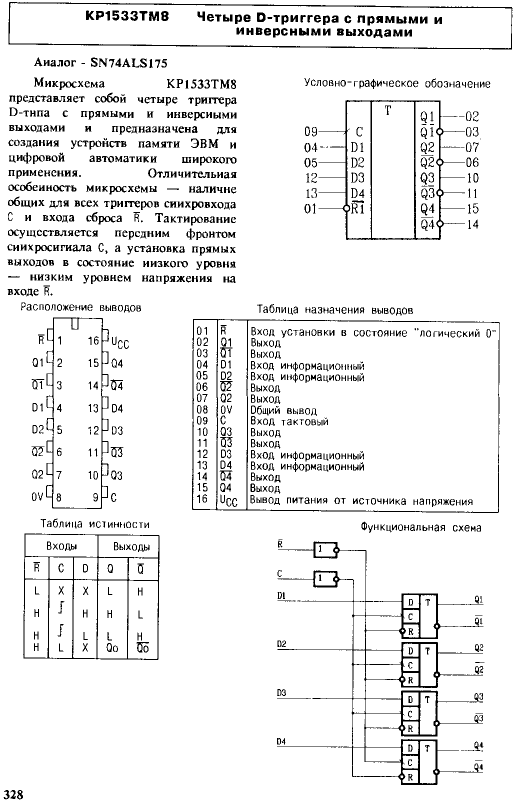


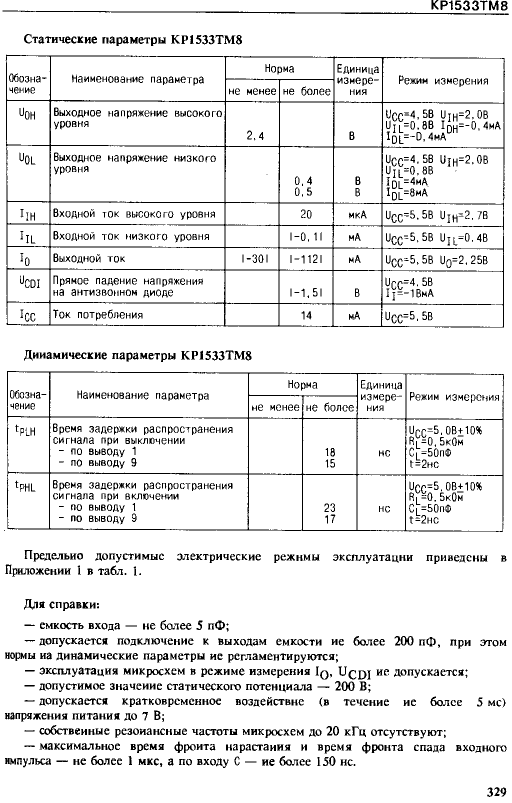
**Приложение 3. Описание принципов работы и технические характеристики микросхем, использованных в принципиальной электрической схеме ГЧ** **и при выборе оптимального способа построения ГЧ** 

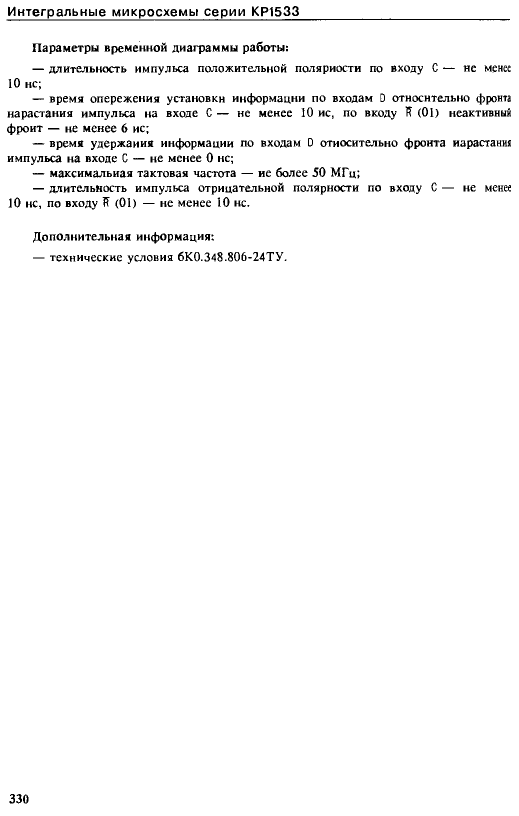


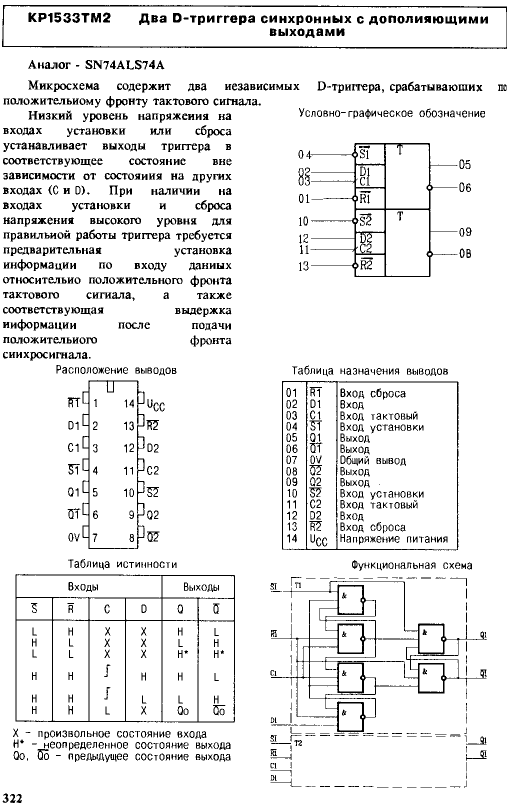


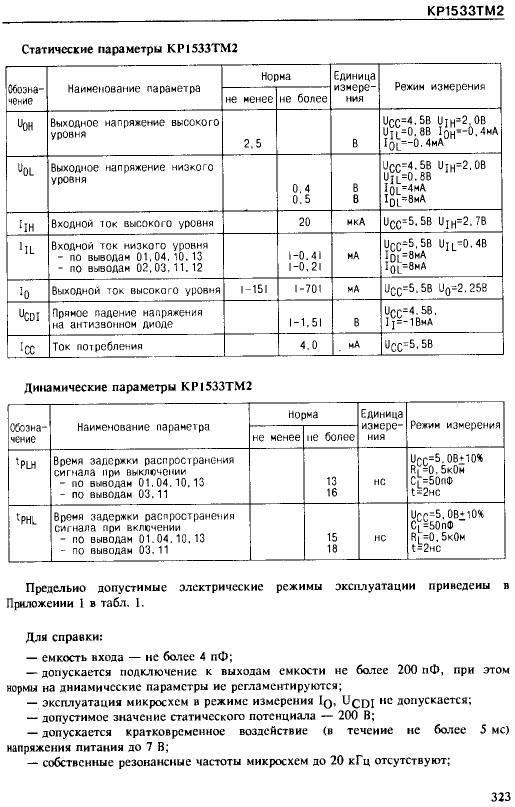


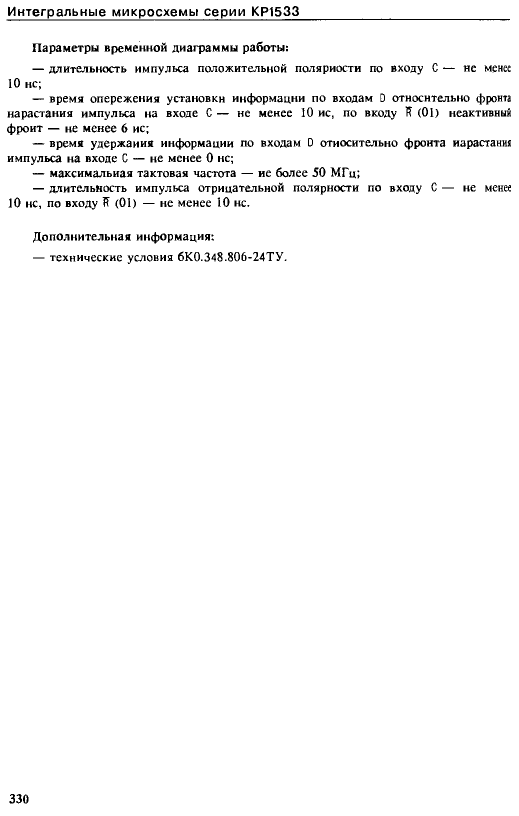


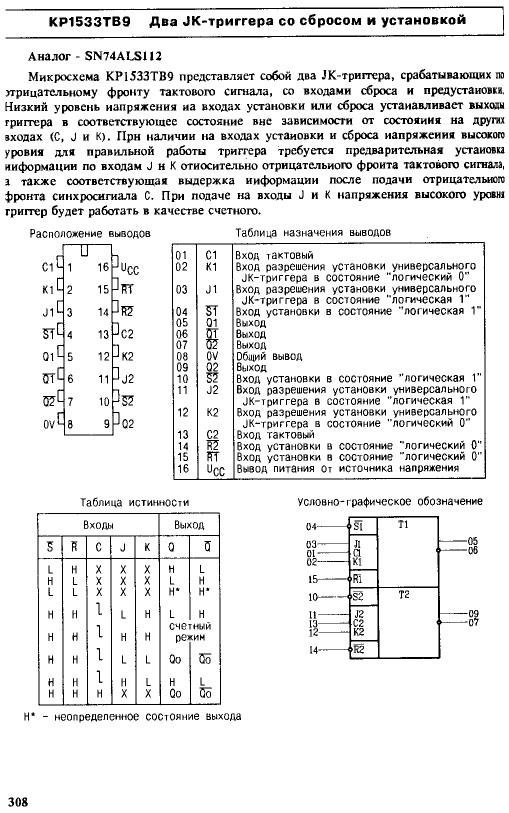


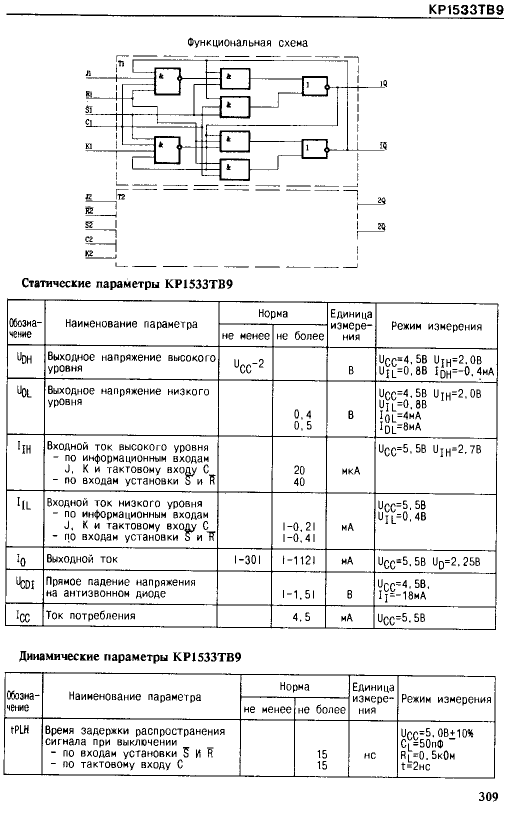


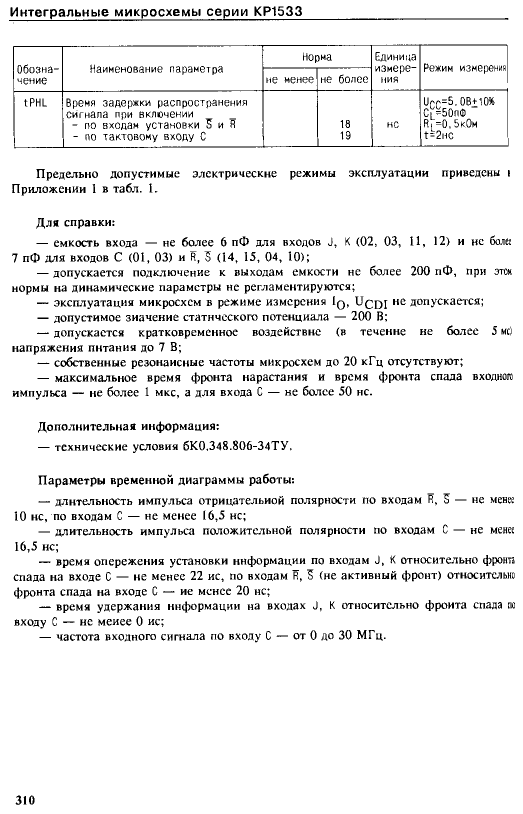
****

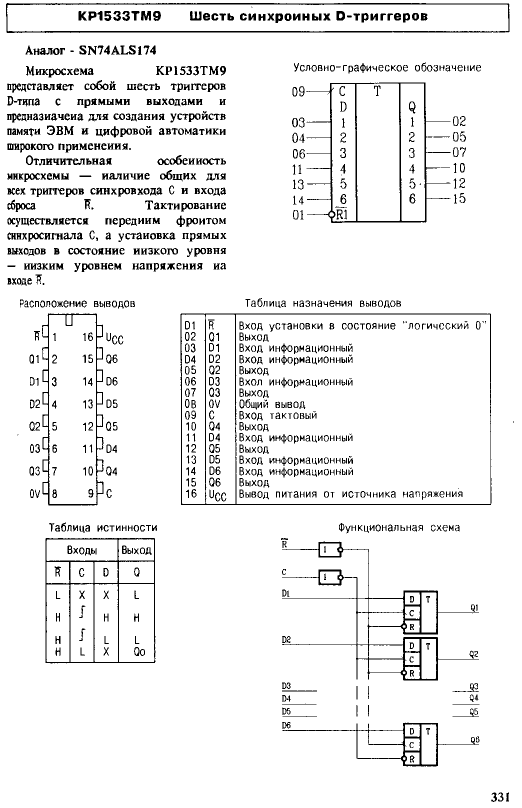
****

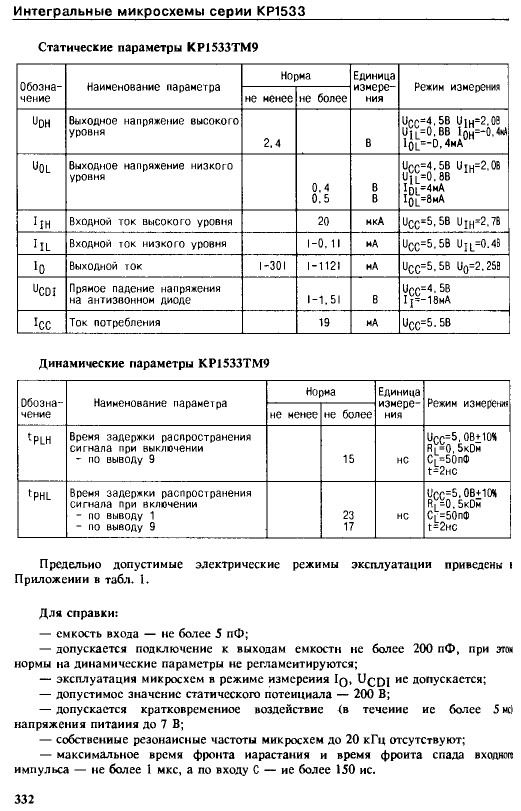
****

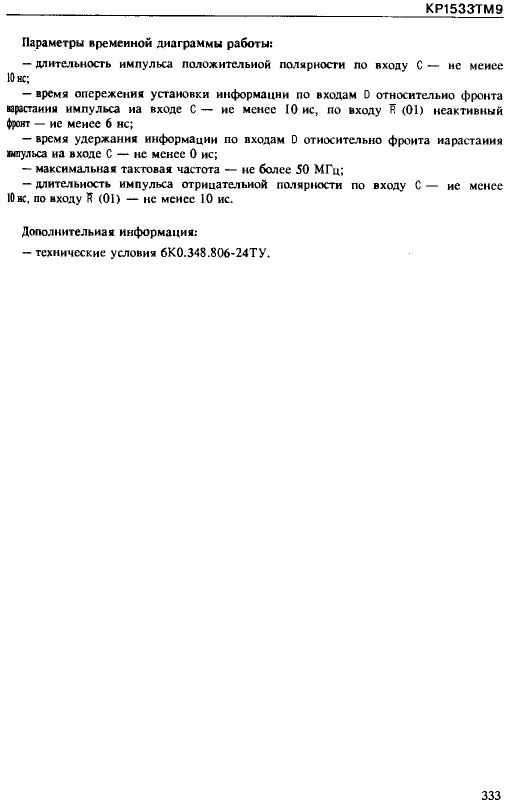
****

****

****

****

****

****

